

843.43178X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): SUZUKI, et al.

Serial No.: Not assigned

Filed: September 30, 2003

Title: MANUFACTURING METHOD OF SEMICONDUCTOR DEVICES

Group: Not assigned

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 30, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Application No.(s) 2002-286897 filed

September 30, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP


William I. Solomon
Registration No. 28,565

WIS/amr
Attachment
(703) 312-6600

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2002年 9月30日
Date of Application:

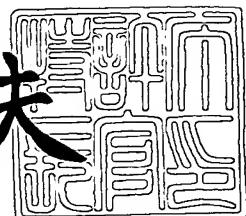
出願番号 特願2002-286897
Application Number:
[ST. 10/C] : [JP 2002-286897]

出願人 トレスセンティテクノロジーズ株式会社
Applicant(s):

2003年 9月16日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3075995

【書類名】 特許願
【整理番号】 H02011821
【提出日】 平成14年 9月30日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/205
【発明者】
【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテクノロジーズ株式会社内
【氏名】 鈴木 範夫
【発明者】
【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテクノロジーズ株式会社内
【氏名】 小池 淳義
【発明者】
【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテクノロジーズ株式会社内
【氏名】 西原 晋治
【発明者】
【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテクノロジーズ株式会社内
【氏名】 山本 裕彦
【発明者】
【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテクノロジーズ株式会社内
【氏名】 根本 和典
【発明者】
【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテクノロジーズ株式会社内
【氏名】 鈴木 匠

【発明者】

【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテクノロジーズ株式会社内

【氏名】 舟橋 優正

【発明者】

【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテクノロジーズ株式会社内

【氏名】 加藤 育

【特許出願人】

【識別番号】 500495256

【氏名又は名称】 トレセンティテクノロジーズ株式会社

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 (a) 素子が形成される第1主面と、前記第1主面に対向する第2主面とを有する半導体ウエハを準備する工程と、

(b) 前記半導体ウエハの前記第2主面側にのみ保護膜を形成する工程と、

(c) 前記 (b) 工程の後、前記第1主面にゲート絶縁膜を形成する工程と、

(d) 前記ゲート絶縁膜上に導体層を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記 (c) 工程の前記ゲート絶縁膜は、前記半導体ウエハを前記ゲート絶縁膜が第1装置の支持台上に搭載された状態で、前記第1主面に対して熱酸化を施すことにより形成されることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 3】 前記 (d) 工程は、

(d 1) 第2装置の支持台に対し、前記保護膜が形成された前記第2主面が接するようにその支持台上に前記半導体ウエハを載置し、気相化学成長法を用いて前記ゲート絶縁膜上に導体膜を形成する工程と、

(d 2) 前記導体膜を所定のパターンにエッチング加工する工程と、
を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 4】 前記エッチング加工は、プラズマ雰囲気下で行われることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項 5】 前記 (b) 工程の後、前記半導体ウエハを洗浄する工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 6】 前記 (b) 工程の後であって、前記 (c) 工程の前に、前記半導体ウエハの前記第1主面上にフォトレジスト膜パターンを形成する工程と、
前記フォトレジスト膜パターンをマスクとして前記第1主面に素子分離用の溝を形成する工程と、

前記フォトレジスト膜パターンをプラズマ雰囲気下で除去する工程と、を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 7】 前記（b）工程に先立って、前記第1主面内に素子分離用の溝を形成する工程と、

前記溝内に絶縁膜を埋め込む工程と、

を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 8】 前記半導体ウエハは、その直径が300mm近傍であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 9】 前記（a）工程における前記半導体ウエハの前記第1主面および前記第2主面は、鏡面加工が施されていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項 10】 （a）素子が形成される第1主面と、前記第1主面に対向する第2主面とを有する半導体ウエハを準備する工程と、

（b）前記第1主面にゲート絶縁膜を形成する工程と、

（c）前記第1絶縁膜上に導体膜を形成する工程と、

（d）前記（c）工程の後、前記半導体ウエハを前記第1主面側が第1装置の支持台上に搭載された状態で、前記半導体ウエハの前記第2主面上に保護膜を形成する工程と、

（e）前記導体膜をエッチングし、ゲート電極を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 11】 前記（b）工程の前記ゲート絶縁膜は、前記第1主面に対して熱酸化を施すことにより形成することを特徴とする請求項10記載の半導体装置の製造方法。

【請求項 12】 前記（c）工程の後、プラズマ雰囲気下で前記導体膜を選択的にエッチングし、前記ゲート電極を形成することを特徴とする請求項10記載の半導体装置の製造方法。

【請求項 13】 前記（b）工程の後、前記半導体ウエハを洗浄する工程を有することを特徴とする請求項10記載の半導体装置の製造方法。

【請求項 14】 前記保護膜を形成する前に、前記半導体ウエハの前記第1主面上にフォトレジスト膜パターンを形成する工程と、

前記フォトレジスト膜パターンをマスクとして前記第1主面に素子分離用の溝

を形成する工程と、

前記フォトレジスト膜パターンをプラズマ雰囲気下で除去する工程と、を有することを特徴とする請求項10記載の半導体装置の製造方法。

【請求項15】 前記(b)工程の前記ゲート絶縁膜は、前記第1主面に対して熱酸化を施した後、酸窒化を施すことにより形成されることを特徴とする請求項11記載の半導体装置の製造方法。

【請求項16】 前記半導体ウエハは、その直径が300mm以上であることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項17】 前記半導体ウエハの前記第1主面および前記第2主面は、鏡面加工が施されていることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項18】 (a) 素子が形成される第1主面と、前記第1主面に対向する第2主面とを有する半導体ウエハを準備する工程と、

(b) 前記半導体ウエハを前記第1主面側が第1装置の支持台上に搭載された状態で、前記半導体ウエハの前記第2主面上に保護膜を形成する工程と、

(c) 前記(b)工程の後、前記第1主面上に金属もしくは金属化合物を形成する工程と、

(d) 前記(c)工程の後、前記半導体ウエハの前記第2主面を洗浄する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項19】 前記(c)工程は、前記第1主面上に銅膜を形成する工程であることを特徴とする請求項18記載の半導体装置の製造方法。

【請求項20】 前記銅膜は、メッキ法により形成されることを特徴とする請求項19記載の半導体装置の製造方法。

【請求項21】 (a) 素子が形成される第1主面と、前記第1主面に対向する第2主面とを有し、直径が300mm近傍もしくは300mm以上の半導体ウエハを準備する工程と、

(b) 前記半導体ウエハの前記第2主面を覆うように膜を被着する工程と、

(c) 枚葉処理装置のサセプタに対し、前記第2主面の膜が接するように前記

半導体ウエハを載置する工程と、

(d) 前記半導体ウエハの前記第1主面を前記枚葉処理装置で加工する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項22】 前記第1および第2主面は鏡面加工が施されていることを特徴とする請求項21記載の半導体装置の製造方法。

【請求項23】 前記鏡面加工された前記第1および第2主面の光沢度が80%以上であることを特徴とする請求項22記載の半導体装置の製造方法。

【請求項24】 前記鏡面加工された前記第1および第2主面の光沢度が60%以上100%以下であることを特徴とする請求項22記載の半導体装置の製造方法。

【請求項25】 前記鏡面加工された前記第2主面が前記第1主面よりも粗いことを特徴とする請求項22記載の半導体装置の製造方法。

【請求項26】 前記膜はCVD法により形成された絶縁膜であることを特徴とする請求項21記載の半導体装置の製造方法。

【請求項27】 前記絶縁膜は酸化膜を含むことを特徴とする請求項26記載の半導体装置の製造方法。

【請求項28】 (a) 第1主面と、前記第1主面に対向する第2主面とを有し、直径が300mm近傍もしくは300mm以上の半導体ウエハを準備する工程と、

(b) 前記半導体ウエハの前記第2主面を覆うように絶縁膜を被着する工程と

(c) 第1の枚葉処理装置のサセプタに対し、前記第2主面の絶縁膜が接するように前記半導体ウエハを載置する工程と、

(d) 前記第1の枚葉処理装置内で前記第1の主面にゲート絶縁膜を形成する工程と、

(e) 第2の枚葉処理装置のサセプタに対し、前記第2主面の絶縁膜が接するように前記ゲート絶縁膜が形成された半導体ウエハを載置する工程と、

(f) 前記第2の枚葉処理装置内で前記ゲート絶縁膜上に金属もしくは半導体

を形成する工程と、

(g) 第3の枚葉処理装置のサセプタに対し、前記第2主面の絶縁膜が接する
ように前記金属もしくは半導体が形成された半導体ウエハを載置する工程と、

(h) 前記第3の枚葉処理装置内で前記金属もしくは半導体を選択的にエッチ
ングし、ゲート電極を形成する工程と、

(i) 第4の枚葉処理装置内において、前記ゲート電極が形成された半導体ウ
エハを保持させる工程と、

(j) 前記第4の枚葉処理装置内で前記半導体ウエハを洗浄する工程と、
を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造技術に関し、特に、枚葉処理により形成される半
導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】

汎用DRAM等で代表される少品種多量生産の場合、その生産性を高めるため
複数の半導体ウエハを一括処理するバッチ処理方法が半導体装置の製造工程中で
大きな割合を占めている。このバッチ処理が行われる代表的な工程には、熱処理
工程、成膜工程および洗浄工程があげられる。これらの工程では、複数枚の半導
体ウエハが同時に処理できる装置が用いられる。

【0003】

一方、処理の均一性や制御性が重要視される半導体装置の製造工程では、一枚
の半導体ウエハ単位で処理を行う、いわゆる枚葉処理が行われる。この枚葉処理
の代表的な例として、コンタクトホールやスルーホール形成のためのドライエッ
チング工程があげられる。

【0004】

このように、半導体装置の一連の製造工程には、枚葉式とバッチ式の処理のそ
れぞれの利点を生かし、これらの処理を混在させている。

【0005】

ところで、半導体装置の製造に用いられる半導体ウエハにおいて素子が形成されている側の面（表面）に対して対向する面（裏面）を処理する場合がある。例えば、以下に示す特許文献1～4によって知られている。

【0006】

下記特許文献1（特開昭59-27529号公報）には、半導体ウエハの表面を鏡面仕上げする前に、裏面に塗化膜を設ける半導体装置用のウエハの製造方法が開示されている。

【0007】

また、下記特許文献2（特開平6-275536号公報）には、ウエハ11の気相成長面12の裏面13に酸化膜15を形成し、その後に前記気相成長面12に金属膜17を形成することにより、パーティクルの発生によるウエハ11や装置等の汚染を防止しながら気相成長面12に膜質および膜厚等の均一な金属膜17を形成する技術が開示されている。

【0008】

また、下記特許文献3（特開平8-111409号公報）には、半導体ウエハ1の表面に少なくとも最初のCVD法による成膜を行う前に半導体ウエハの裏面に該半導体ウエハ材料の酸化膜1aを形成し、この酸化膜を少なくとも最後のCVD法による成膜工程の後までそのまま残存させることにより、CVD工程など半導体ウエハの加熱プロセスにおいて半導体ウエハの反りを極力抑え、均一な成膜や処理を行うといった技術が開示されている。

【0009】

そして、下記特許文献4（特開2000-21778号公報）には、シリコンウエハの裏面に酸化膜を付けてエピタキシャル成長を行う方法において、裏面ウエハ縁より酸化膜を僅かに除去して、エピタキシャル成長を行う技術が開示されている。

【0010】

但し、これらの文献によれば、半導体装置の一連の製造工程において、以下に述べる、枚葉式の処理での問題点は言及されていない。

【0011】**【特許技術文献1】**

特開昭59-27529号公報

【0012】**【特許技術文献2】**

特開平6-275536号公報

【0013】**【特許技術文献3】**

特開平8-111409号公報

【0014】**【特許技術文献4】**

特開2000-21778号公報

【0015】**【発明が解決しようとする課題】**

マルチメディア、情報通信などの先端技術分野においては、マイクロコンピュータ、DRAM、ASIC (Application Specific Integrated Circuit) 、フラッシュメモリなどをワンチップ内に混載したシステムオンチップ構造のLSI (システムLSI) を実現することによって、データ転送速度の高速化、省スペース (実装密度向上) 、低消費電力化が進められている。

【0016】

そして、このようなシステムLSIの生産には、大口径のウエハ、具体的には、直径300mm ϕ (直径300mm±0.2mm) の半導体ウエハ (Siウエハ) が採用された。

【0017】

このような300mm ϕ の半導体ウエハを用いた半導体装置の製造ラインにおいても、枚葉式とバッチ式の装置を混在させることは可能である。

【0018】

しかしながら、システムLSIのような多品種少量生産の場合、大口径のウエハを用いて製造プロセスの全工程を枚葉式で処理するのが、TAT (turn around

d time) を短縮できるので有効である。T A T とは、受注してから工場で生産し、製品を顧客に届けるまでの期間を言う。

【0019】

例えば、大口径のウエハを複数枚収容するには、その処理室も大きくならざるを得ず、その内部温度や圧力などを処理に適した状態にするまでに時間を要する。

【0020】

また、1ロット（単位枚数）を処理する場合も、2～3枚程度の少数枚を処理する場合にも同じ時間を使し、その生産性が低下する。

【0021】

特に、需要の多様化に伴い、システムLSIのような多品種少量生産の場合に、枚葉式とバッチ式の処理装置を各処理ごとに準備することは、装置スペースの確保や設備投資の点からも有効ではない。

【0022】

そこで、本発明者らは、300mmΦの半導体ウエハを、全工程（特に、熱処理、CVD、洗浄工程）を枚葉式とした製造ラインにおいて処理することを検討した。

【0023】

しかしながら、全枚葉プロセスを用いて半導体素子を形成した際、半導体ウエハの裏面汚染、また、MISFET（Metal Insulator Semiconductor Field Effect Transistor）のゲート絶縁膜の耐圧の劣化の問題が明らかとなった。

【0024】

すなわち、枚葉プロセスの場合、製造プロセス過程において半導体ウエハの裏面には種々の膜が形成されず、その裏面（Si）が露出されることになる。特に、300mmΦの半導体ウエハは、平坦度向上のために、両面研磨を行っている。そして、製造プロセス過程において、ウエハは、各種半導体製造装置の支持台（サセプタ）に、そのウエハ裏面がサセプタの上面に対して接するように載置される。具体的には、サセプタには静電チャック機構が設けられ、そのサセプタの上面にウエハが保持される。従って、ウエハ裏面には絶縁膜等が形成されず、そ

の裏面（S i）が露出されることになる。このS i面は疎水性であるために、異物（パーティクル）は付着しやすく、除去し難い問題がある。この異物がウエハの表面（素子が形成される主面）への汚染源となり、LSI製造の歩留まり低下をきたす原因となる。

【0025】

また、システムLSIにおいては、MISFETのゲート絶縁膜は、2種または3種の膜厚で構成され、薄いゲート絶縁膜の膜厚は2～3nm程度である。このような薄いゲート絶縁膜が製造プロセス過程において半導体ウエハに蓄積された電荷により破壊される問題がある。

【0026】

本発明の目的は、半導体装置の製造工程における汚染物質の低減を図ることにある。

【0027】

さらに、本発明の他の目的は、MISFETのゲート絶縁膜の耐圧を向上させることにある。

【0028】

本発明の他の目的は、半導体装置、特に、大口径の半導体ウエハを用いて製造される半導体装置、もしくは枚葉処理を主体とした製造工程で形成させる半導体装置の特性の向上を図ることにある。

【0029】

本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0030】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0031】

本発明の半導体装置の製造方法は、(a) 素子が形成される第1主面と、前記第1主面に対向する第2主面とを有する半導体ウエハを準備する工程と、(b)

前記半導体ウエハの前記第2主面側にのみ保護膜を形成する工程と、(c) 前記(b) 工程の後、前記第1主面にゲート絶縁膜を形成する工程と、(d) 前記ゲート絶縁膜上に導体層を形成する工程と、を有するものである。

【0032】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0033】

(実施の形態1)

図1～図18は、本実施の形態の半導体装置の製造方法を示す半導体基板の要部断面図である。また、図53は、本実施の形態の半導体装置の製造方法に用いられる半導体ウエハを示す斜視図である。また、図54および図55は、本実施の形態の半導体装置の製造方法に用いられる装置および処理方法を模式的に表した断面図である。

【0034】

以下、本実施の形態の半導体装置の製造方法を工程順に説明する。

【0035】

まず、図54に示す直径300mm近傍 ($300 \pm 0.2\text{ mm}$ (以下、これを「 $300\text{ mm}\phi$ 」と示す)) の半導体ウエハを準備する。この半導体ウエハWは、例えば、p型の単結晶シリコンよりなり、その表面および裏面は鏡面仕上げされている。

【0036】

この鏡面仕上げは、例えば回転する半導体ウエハの両面 (表面および裏面) に研磨剤を供給し、その上下から研磨パッドを押し当てて行う (ダブルサイドポリッシング)。このように、表面および裏面を同時に研磨することにより、研磨プレートにウエハを貼り付け片面のみを研磨する場合に生じるウエハの傾きがなく、平坦性を向上できる。

【0037】

この半導体ウエハの表面および裏面の光沢度（B r i g h t n e s s）は、60%～100%程度であり、少なくとも半導体ウエハの表面は、80%以上とするのが好ましい。例えば、光沢度とは、ウエハ平面に入射角60度で光を入射させた場合の反射率の割合をいう。

【0038】

なお、半導体ウエハをダブルサイドポリッシングによりある程度研磨し、その後、表面（半導体素子が形成される側）のみをさらに研磨し、光沢度や平坦性を向上させてもよい。このように、2段階の研磨を行うことにより半導体ウエハの製造のスループットを向上させ、また、そのコストを低減することが可能となる。

【0039】

このように両面が鏡面仕上げされたp型の単結晶シリコンからなる半導体ウエハW（半導体基板1）を準備し、以下の工程に従ってM I S F E T等の半導体素子を製造する。なお、本実施の形態においては、全工程（熱処理、CVD、洗浄、スパッタおよびエッチング工程）を枚葉式とした製造ラインを用いて半導体素子を形成する。

【0040】

まず、素子分離を形成する。この素子分離を形成するには、例えば、図1に示すように、半導体基板1上に熱酸化によりパッド酸化膜3を形成し、次いで、このパッド酸化膜3の上部にCVD法（気相化学成長法：Chemical Vapor Deposition）で塗化シリコン膜5を堆積する。

【0041】

ここで、熱酸化は、図54の上図に示すように、枚葉式の熱酸化装置400を用いて行う。枚葉式とは、半導体ウエハを1枚ずつ処理する方式をいう。このような枚葉式の処理においては、図示するように、半導体ウエハWは、装置内のサセプタ401上に搭載され、その裏面全体がサセプタと接触した状態で処理を行うものが多い。従って、パッド酸化膜3は、半導体ウエハWの表面（第1主面）にしか形成されない。

【0042】

また、CVD法による塗化シリコン膜5の成膜も、図54の下図に示すように、枚葉式のCVD装置500を用いて行う。図示するように、半導体ウエハWは、装置内のサセプタ501上に搭載され、その裏面（第2主面）全体がサセプタと接触している。従って、塗化シリコン膜5は、半導体ウエハWの表面にしか形成されない。

【0043】

このように枚葉式の処理装置においては、その裏面に膜が形成されない、もしくは、形成され難いといった特徴がある。なお、半導体ウエハの裏面全体がサセプタと接触していても、ガスがわずかな隙間に回り込むことによって薄い膜や部分的な膜が半導体ウエハの裏面に形成されることがある。本発明は、このような場合を除外するものではない。

【0044】

これに対して、図56に示すようなバッチ式の処理装置601においては、ウエハホルダ602a～602cによって半導体ウエハWを複数枚保持でき、半導体ウエハWの表面のみならず、その裏面もCVDの原料ガスや酸素雰囲気中にさらされるため、裏面にも膜603が形成される。なお、図56の左図は、装置601の要部の縦断面図であり、右図は、その要部の横断面図である。

【0045】

次いで、図2に示すように、塗化シリコン膜5の上部にフォトレジスト膜（以下、単に「レジスト膜」という）7を塗布し、フォトリソグラフィーによって素子分離領域を開口する。次いで、このレジスト膜7をマスクに塗化シリコン膜5およびパッド酸化膜3をエッチングする。

【0046】

次いで、図3に示すように、レジスト膜7をマスクに半導体基板1をエッティングし、その後、レジスト膜7をアッシング（灰化処理）によって除去し、素子分離用の溝を形成する。

【0047】

次いで、図4に示すように、熱酸化により溝の表面に薄い酸化膜を形成した後、溝の内部を含む半導体基板1上に高密度プラズマCVD法で酸化シリコン膜9

を溝を埋め込む程度の厚さ堆積する。なお、前記熱酸化により溝のコーナー部がラウンド化される。

【0048】

次いで、図5に示すように、半導体基板1の裏面に保護膜として例えば酸化シリコン膜の如き絶縁膜100をCVD法で形成する。

【0049】

この酸化シリコン膜100は、半導体ウェハの表面（酸化シリコン膜9）を下側とし、図54の下図に示した枚葉式のCVD装置500を用いて形成する。

【0050】

この酸化シリコン膜100は、この後形成されるゲート絶縁膜の耐圧劣化の防止のために形成される。

【0051】

即ち、ゲート絶縁膜は、例えば、1) CVD法で形成される絶縁膜等の堆積や、2) ゲート電極となる導電性膜のエッチング、3) 前記エッチングの際マスクとなったレジスト膜のアッシング等、の際にプラズマ雰囲気下に晒される。

【0052】

このようにCVD、エッチングおよびアッシングには、プラズマを用いた処理が多くあり、この際、半導体ウェハの表面に電荷が蓄積し易い。言い換えると、半導体ウェハの表面がチャージアップし易い。前述した通り、枚葉処理では、半導体ウェハの裏面に膜が形成され難いため、半導体基板1が直接処理装置のセセプタと接触することとなる。

【0053】

従って、ゲート絶縁膜は、ゲート電極となる導電成膜と半導体基板との間に直列に接続されることとなる。特に、ゲート絶縁膜は、薄く形成されるため、電荷の影響を受けやすく、その耐圧が劣化する。

【0054】

これに対し、本実施の形態のように、半導体基板の裏面に酸化シリコン膜100を形成した場合には、ゲート電極となる導電成膜と半導体基板との間には、ゲート絶縁膜と酸化シリコン膜100が直列に接続されることとなり、ゲート絶縁

膜に対する電荷の影響を低減できる。即ち、ゲート絶縁膜に印加される電圧が緩和される。その結果、ゲート絶縁膜の耐圧を向上させることができる。

【0055】

また、酸化シリコン膜100を裏面に形成することにより、半導体ウエハの異物除去率が向上する。

【0056】

例えば、半導体装置の製造工程で生じる異物が、各種装置のサセプタ上に付着すると、複数枚の半導体ウエハを順次処理する際、処理単位のすべての半導体ウエハの裏面に汚染が広がる。さらに、この後、裏面が汚染された半導体ウエハを次工程の装置に搬入し処理を行うと、処理装置内を汚染し、汚染物質が半導体ウエハ上に付着してしまう。

【0057】

このように汚染物質を残存させたままその後の処理を続けると、半導体素子中に汚染物質が拡散し、その特性を劣化させる。

【0058】

従って、このような汚染を避けるため半導体ウエハの表面や裏面の洗浄が適宜行われる。

【0059】

この際、半導体ウエハの裏面に絶縁膜が存在すると半導体ウエハの異物除去率が向上する。

【0060】

即ち、シリコンよりなる半導体基板は疎水性であるため、異物が付着しやすく、また、付着した異物（特に、金属系の異物）が除去されにくい。これに対し、半導体基板の裏面に形成された酸化シリコン膜等の絶縁膜は親水性の膜が多く、異物が除去されやすい。

【0061】

また、フッ酸系の洗浄液を用いることにより、半導体基板の裏面に形成された酸化シリコン膜がわずかにエッチングされ、リフトオフ的に異物を除去することが可能となる。

【0062】

また、酸化シリコン膜100を裏面に形成することにより、異物を構成する金属原子が半導体基板中に拡散することを防止することができる。

【0063】

ここで、半導体基板の裏面に形成する保護膜としては、前記酸化シリコン膜100の他、塗化シリコン膜等を用いてもよい。また、これらの積層膜を用いてもよい。また、この保護膜は、半導体ウエハの反りを増加させず、また、それを形成することによる異物の増加をできるだけ抑えられる程度の膜厚とすべきである。また、電荷の蓄積等による半導体基板のダメージを低減し、異物の侵入防止や除去（洗浄）効果を奏するに充分な膜厚とすべきである。例えば、20～500nm程度が好ましいと考えられる。また、塗化シリコン膜より酸化シリコン膜の方が膜応力が小さいため、酸化シリコン膜を用いることにより半導体ウエハの反りをより小さくすることができる。

【0064】

次いで、図6に示すように、化学的機械研磨（CMP；Chemical Mechanical Polishing）法で溝の上部の酸化シリコン膜9を塗化シリコン膜5が露出するまで研磨する。次いで、図7に示すように、塗化シリコン膜5を除去する。

【0065】

次に、フッ酸を用いたウェットエッチングで半導体基板1の表面を洗浄し、パッド酸化膜3を除去した後、図8に示すように、熱酸化により半導体基板1の表面に膜厚11nm程度の犠牲酸化膜11を形成する。

【0066】

次いで、図9に示すように、pチャネル型MISFETの形成領域をレジスト膜（図示せず）で覆い、半導体基板1にp型不純物をイオン打ち込みを行う。また、この際、後述するp型ウエル13の表面にしきい値調整用のイオンを打ち込む。次いで、前記レジスト膜をアッシングによって除去した後、nチャネル型MISFETの形成領域をレジスト膜（図示せず）でマスクし、半導体基板1にn型不純物をイオン打ち込みを行う。また、この際、後述するn型ウエル15の表面にしきい値調整用のイオンを打ち込む。

【0067】

次いで、前記レジスト膜をアッシングによって除去した後、その後の熱処理により前記不純物を拡散させることによってp型ウエル13およびn型ウエル15を形成する。

【0068】

次いで、フッ酸を用いたウェットエッチングで半導体基板1の表面を洗浄した後、図10に示すように熱酸化によって、半導体基板1の表面に厚さ2～3nmのゲート絶縁膜17を形成する。このゲート絶縁膜17は、図55(a)に示すように、枚葉式の熱酸化装置400を用いて行い、半導体ウエハWは、装置内のサセプタ401上に搭載され、例えば、その裏面全体(酸化シリコン膜100)がサセプタと接触した状態で処理を行う。従って、ゲート絶縁膜17は、半導体ウエハWの表面にしか形成されない。なお、半導体基板1の表面に対して熱酸化を施した後、NO(一酸化窒素)雰囲気中で酸窒化処理を行うことによりゲート絶縁膜17を形成してもよい。酸窒化処理によりホットキャリア耐性が向上する。

【0069】

次に、ゲート絶縁膜17上に、CVD法により多結晶シリコン膜19を堆積する。この多結晶シリコン膜19は、図55(b)に示すように、枚葉式のCVD装置500を用いて行い、半導体ウエハWは、装置内のサセプタ501上に搭載され、例えば、その裏面全体がサセプタと接触した状態で処理を行う。従って、多結晶シリコン膜19は、半導体ウエハWの表面にしか形成されない。

【0070】

次いで、図示しないレジスト膜をマスクに、p型ウエル13上の多結晶シリコン膜19中にリン等のn型不純物を注入し、前記レジスト膜をアッシングにより除去した後、図示しないレジスト膜をマスクに、n型ウエル15上の多結晶シリコン膜19中にホウ素等のp型不純物を注入する。

【0071】

次いで、前記レジスト膜をアッシングにより除去した後、図11に示すように、多結晶シリコン膜19を図示しない膜をマスクにプラズマエッチングすること

によりゲート電極 21 を形成する。このプラズマエッチングは、例えば、図 55 (c) に示すように、枚葉式のエッチング装置 700 を用いて行い、半導体ウエル W は、装置内のサセプタ 701 上に搭載され、例えば、その裏面全体がサセプタと接触した状態で処理を行う。なお、702 は、電極である。

【0072】

この際、エッチング装置 700 の内部には、プラズマが発生している。しかしながら、本実施の形態によれば、半導体基板の裏面に酸化シリコン膜 100 を形成したので、多結晶シリコン膜 19 のプラズマエッチングの際に、半導体基板に電荷が蓄積されても、ゲート絶縁膜 17 に対する電荷の影響を低減でき、ゲート絶縁膜の耐圧を向上させることができる。

【0073】

次に、p チャネル型 MISFET の形成領域をレジスト膜（図示せず）で覆い、p 型ウエル 13 上のゲート電極 21 の両側の半導体基板 1 に p 型不純物をイオン打ち込みする。また、ゲート電極 21 の両側の p 型ウエル 13 に n 型不純物をイオン打ち込みする。次いで、前記レジスト膜をアッシングにより除去した後、熱処理により前記不純物を拡散させることによって p 型のポケットイオン領域 PKp および n- 型半導体領域 22n を形成する。

【0074】

次いで、n チャネル型 MISFET の形成領域をレジスト膜（図示せず）で覆い、n 型ウエル 15 上のゲート電極 21 の両側の半導体基板 1 に n 型不純物をイオン打ち込みする。また、ゲート電極 21 の両側の n 型ウエル 15 に p 型不純物をイオン打ち込みする。次いで、前記レジスト膜をアッシングにより除去した後、熱処理により不純物を拡散させることによって n 型のポケットイオン領域 PKn および p- 型半導体領域 22p を形成する。なお、ポケットイオン領域 PKp 、 PKn は、ソースおよびドレインからの空乏層の広がりを抑え、パンチスルーパhenomenonによるリーク電流の低減を図るために形成する。

【0075】

次いで、半導体基板 1 上に CVD 法で窒化シリコン膜 23 を堆積した後、異方的にエッチングすることによって、ゲート電極 21 の側壁にサイドウォールスペ

ーサを形成する。

【0076】

次に、pチャネル型MISFETの形成領域をレジスト膜（図示せず）で覆い、図12に示すように、p型ウエル13にn型不純物をイオン打ち込みする。次いで、前記レジスト膜をアッシングにより除去した後、nチャネル型MISFE Tの形成領域をレジスト膜（図示せず）で覆い、n型ウエル15にp型不純物をイオン打ち込みする。次いで、前記レジスト膜をアッシングにより除去した後、熱処理により前記不純物を拡散させることによってn⁺型半導体領域25（ソース、ドレイン）およびp⁺型半導体領域27（ソース、ドレイン）を形成する。

【0077】

ここで、不純物のイオン打ち込みやレジスト膜のアッシングの際にも半導体ウエハ表面がチャージアップするが、本実施の形態によれば、ゲート絶縁膜17に対する電荷の影響を低減できる。

【0078】

次いで、図13に示すように、半導体基板1上に、スパッタ法によりCo（コバルト）膜を堆積し、500℃程度の熱処理を施すことにより、半導体基板1（n⁺型半導体領域25、p⁺型半導体領域27等）とCo膜との接触部およびゲート電極21とCo膜との接触部においてシリサイド化反応をおこさせ、半導体基板1およびゲート電極21上に、コバルトシリサイド層29を形成する。

【0079】

次いで、未反応のCo膜をエッチングにより除去し、さらに、700℃程度の熱処理を施し、半導体基板1およびゲート電極21上にコバルトシリサイド層29を残存させる。このコバルトシリサイド層29は、n⁺型半導体領域25、p⁺型半導体領域27およびゲート電極Gの低抵抗化、もしくは接続抵抗の低減のために形成される。

【0080】

ここまででの工程で、LDD(Lightly Doped Drain)構造のソース、ドレインを備えたnチャネル型MISFET Q_nおよびpチャネル型MISFET Q_pが形成される。

【0081】

次いで、図14に示すように、MISFETQ_nおよびQ_p上に層間絶縁膜として酸化シリコン膜31をCVD法で堆積する。かかる工程も、枚葉式のCVD装置を用いて行う（図54の下図参照）。ここで、酸化シリコン膜31の成膜を高密度プラズマCVD法により形成することができる。この方法によれば、膜の堆積の他に、プラズマによる堆積膜のエッチングが同時に起こり、微細な凹凸を有する半導体基板上にも埋め込み特性良く膜を形成することができる。また、その上部の平坦性を良くできる。

【0082】

次に、酸化シリコン膜31上にレジスト膜（図示せず）を形成し、このレジスト膜をマスクに酸化シリコン膜31をエッチングすることによりn⁺型半導体領域25、p⁺型半導体領域27およびゲート電極21上にコンタクトホール33を形成する。

【0083】

次いで、前記レジスト膜をアッシングにより除去した後、図15に示すようにコンタクトホール33内を含む酸化シリコン膜31上に、スパッタ法により薄いTiN（窒化チタン）膜35aを堆積する。このTiN膜は、後述するW（タンゲステン）とSi（シリコン基板）とが接触することにより不所望な反応層を形成することを防止するバリアメタル膜の役割を果たす。このスパッタ法による成膜には、枚葉式の装置が用いられる。

【0084】

例えば、このTiN膜35aの成膜後、半導体基板の表面および裏面を洗浄する。この洗浄は、例えば、図55（d）に示すように、枚葉式の洗浄装置800を用いて行い、半導体ウエハWは、その外周部が留め具801によって固定され、この留め具が図示しない回転機構により回転する。従って、半導体ウエハの表面のみならずその裏面も露出状態となり、その上下に位置するノズル802から、洗浄液を噴射することにより、半導体ウエハWの表面および裏面を同時に洗浄することが可能となる。もちろん、半導体ウエハをプレート状のサセプタに搭載する形式の洗浄装置等を使用し、その表面および裏面を別々に洗浄してもよい。

【0085】

ここで、本実施の形態によれば、半導体基板の裏面に酸化シリコン膜100を形成したので、半導体基板1の裏面が親水性となり、付着した異物（特に、金属系の異物）が除去されやすい。また、半導体基板の裏面に形成された酸化シリコン膜100をわずかにエッティングする洗浄液を用いることで、リフトオフ的に異物を除去することが可能となり、洗浄効率が向上する。

【0086】

これに対し、その裏面から疎水性の基板（Si）が露出している場合には、異物が付きやすく、また、除去し難い。

【0087】

次いで、TiN膜35aの上部に導電性膜として例えばW膜35bをスパッタ法により堆積する。

【0088】

次いで、図16に示すように、W膜35b等を酸化シリコン膜31が露出するまでCMP法により研磨することによってコンタクトホール33内にTiN膜35aとW膜35bよりなるプラグ35を形成する。

【0089】

次いで、図17に示すように、酸化シリコン膜31およびプラグ35上に、スパッタ法により薄いTiN膜39aを堆積する。次いで、導電性膜として例えばW膜39bをスパッタ法で堆積する。次いで、W膜39b等を所望の形状にパターニングすることにより、第1層配線39を形成する。なお、TiN膜39aの成膜後に、前述の洗浄を適宜行ってもよい。

【0090】

この後、第1層配線39上に酸化シリコン膜等の絶縁膜、プラグおよび配線の形成工程を繰り返すことによって多層の配線を形成することが可能であるが、これらの形成工程については、実施の形態2において詳細に説明する。

【0091】

このように、本実施の形態においては、半導体基板の裏面に酸化シリコン膜100を形成したので、プラズマ等の影響により半導体基板に電荷が蓄積されても

、ゲート絶縁膜の膜質が劣化することを防止することができる。

【0092】

なお、本実施の形態においては、プラズマが発生する処理として、特に、プラズマエッチングを例に詳細に説明したが、この他、プラズマCVDやアッシング等もプラズマ下で行われる。また、イオン（不純物）の打ち込みの際にも半導体ウエハ表面に電荷が蓄積され得る。また、CO₂膜等のスパッタ法による膜の堆積の際にも半導体ウエハ表面に電荷が蓄積され得る。

【0093】

このような半導体ウエハ表面に電荷が蓄積される処理時にゲート絶縁膜がチャージアップすることを防止でき、ゲート絶縁膜の耐圧を維持することができる。

【0094】

また、本実施の形態によれば半導体基板の裏面に酸化シリコン膜100を形成したので、半導体基板の裏面が親水性となり、また、リフトオフ的に異物を除去することが可能となり、洗浄効率が向上する。

【0095】

なお、本実施の形態においては、プラグを構成するTiN膜の洗浄を例に詳細に説明したが、この他、多結晶シリコン膜19の成膜後に洗浄を行ってもよく、また、このような導電性膜のみならず、酸化シリコン膜等の絶縁膜の成膜後に洗浄を行っても良い。

【0096】

また、本実施の形態においては、素子分離用の酸化シリコン膜9を堆積した後、半導体基板の裏面に酸化シリコン膜100を形成したが、酸化シリコン膜100の形成工程は、かかる時期（タイミング）に限られず、かかる工程よりもしくは後であってもよい。例えば、図18に示すように、多結晶シリコン膜19の堆積後に、半導体基板の裏面に酸化シリコン膜100を形成してもよい。特に、デュアルゲート構造とする場合には、多結晶シリコン膜19中に2種の不純物を打ち込むため、レジスト膜のアッシング工程が多くなる。従って、その後のアッシング工程等によるチャージアップの影響を低減できる。

【0097】

また、ゲート絶縁膜の耐圧劣化防止を目的とする場合には、ゲート絶縁膜の形成前もしくはゲート絶縁膜の形成工程と半導体基板がチャージアップする恐れのある工程との間に酸化シリコン膜100を形成するのが効果的である。また、洗浄効率の向上を目的とする場合には、異物の発生しやすい膜の形成前に酸化シリコン膜100を形成するのが好ましい。

【0098】

但し、半導体素子の製造工程のできるだけ早い段階で酸化シリコン膜100を形成しておけば、双方の目的を達成することができる。

【0099】

従って、例えば、窒化シリコン膜5の堆積後（図1）に、酸化シリコン膜100を形成してもよい。但し、この窒化シリコン膜5は、半導体素子の形成領域を定める重要な膜であるため、その表面を裏面とし酸化シリコン膜100を堆積するには、装置内やサセプタのクリーン度を高く維持し、また、窒化シリコン膜5の表面に傷がつかないような対策を講じる必要がある。

【0100】

これに対し、前述した素子分離用の酸化シリコン膜9を堆積した後（図9）であれば、半導体素子の形成領域はすでに規定されており、さらに、酸化シリコン膜9の表面は、その後CMPで除去されるため、その表面汚染対策を講じる必要がない。

【0101】

従って、かかる時期に酸化シリコン膜100を形成することはより効果的であると考えられる。

【0102】

（実施の形態2）

図19および図20は、本実施の形態の半導体装置の製造方法を示す半導体基板の要部断面図である。

【0103】

図19に示すように、LDD(Lightly Doped Drain)構造のソース、ドレインを備えたnチャネル型MISFETQ_nおよびpチャネル型MISFETQ_pが

形成された半導体基板1を準備し、この上部に酸化シリコン膜31、プラグ35および第1層配線39を形成する。

【0104】

この半導体基板1は、図53を参照しながら説明したように、直径が約300mmであり、その表面および裏面は鏡面仕上げされている。また、nチャネル型MISFETQ_nおよびpチャネル型MISFETQ_p、酸化シリコン膜31、プラグ35および第1層配線39は、実施の形態1と同様に形成することが可能であるため、ここではその詳細な説明を省略する。

【0105】

次いで、第1層配線39上を含む酸化シリコン膜31上に層間絶縁膜41を形成する。この層間絶縁膜41は、例えば、下から第1の塗化シリコン膜、第1の酸化シリコン膜、第2の塗化シリコン膜および第2の酸化シリコン膜の積層膜よりなる。

【0106】

次いで、半導体基板の裏面に絶縁膜として例えば酸化シリコン膜200をCVD法で形成する。実施の形態1において説明したように、この酸化シリコン膜200は、半導体ウェハの表面を下側とし、枚葉式のCVD装置で形成する（図54の下図参照）。

【0107】

次いで、例えば、第2の酸化シリコン膜上に、第2層配線形成領域を開口したハードマスク（図示せず）を形成し、このハードマスク上にコンタクトホール形成領域を開口したレジスト膜（図示せず）を形成し、このレジスト膜をマスクに層間絶縁膜41をエッティングすることによりコンタクトホールC2を形成する。次いで、前記レジスト膜をアッシングにより除去し、さらに、前記ハードマスクをマスクに第2の酸化シリコン膜および第2の塗化シリコン膜を除去することにより配線溝MG2を形成する。なお、第1、第2の塗化シリコン膜は、エッティングストッパーの役割を果たす。

【0108】

次いで、層間絶縁膜41上に、バリア膜として例えばTiN膜をスパッタ法で

薄く堆積し、さらに、その上部に、シード膜としてCu（銅）膜をスパッタ法で薄く堆積する。

【0109】

次に、配線溝MG2およびコンタクトホールC2内を含む半導体基板1上に電解メッキ法でCu膜を形成する。Cu膜を形成するには、基板1をCu用のメッキ液に浸漬してシード膜をマイナス（-）電極に固定し、配線溝MG2を埋め込む程度のCu膜を析出させる。

【0110】

次いで、配線溝MG2およびコンタクトホールC2外部のCu膜等を層間絶縁膜41が露出するまでCMP法により研磨することによってコンタクトホールC2内にプラグP2を形成し、配線溝MG2内に第2層配線M2を形成する。

【0111】

ここで、本実施の形態によれば、Cu膜を形成する前に、半導体基板の裏面に酸化シリコン膜200を形成したので、半導体基板の裏面が銅で汚染されることを防止することができる。また、半導体基板中にCuが拡散することを防止することができる。特に、Cuは、半導体基板（Si）中に拡散しやすく、半導体素子等の特性の劣化を引き起こす。

【0112】

また、このようなメッキ処理の後には、実施の形態1で説明した半導体ウエハの裏面洗浄が行われるが、酸化シリコン膜200をわずかにエッチングする洗浄液を用いれば、酸化シリコン膜200上に銅が析出していても、かかる銅をリフトオフで除去することが可能となる。このように洗浄効率を向上させることができる。

【0113】

この後、第2層配線M2上に絶縁膜47を形成し、さらに、プラグおよび配線の形成工程を繰り返すことによって多層の配線を形成することが可能であるが、これらの形成工程の説明および図示は省略する。

【0114】

また、最上層配線上には、酸化シリコン膜と窒化シリコン膜との積層膜よりな

るパッシベーション膜が形成され、かかる膜を選択的に除去することによりパッド部を露出させる。次いで、ウエハ状の半導体基板をダイシングし、個々のチップのパッド部と実装基板の外部端子とをバンプや金線等を用いて接続する。次いで、チップの周囲を必要に応じて樹脂等で封止することにより半導体装置が完成するが、これらの形成工程の詳細な説明および図示は省略する。

【0115】

また、ウエハ状態の半導体基板をダイシングする前に半導体基板の裏面を研磨することにより基板を薄くしてもよい。

【0116】

なお、本実施の形態においては、半導体素子としてMISFETを形成したが、バイポーラトランジスタ等、他の素子を形成してもよい。また、銅配線を例に説明したが、他の導電性膜、例えばSiを含有するAl（アルミニウム）膜などを用いて配線を形成しても良い。但し、銅は抵抗が低く、銅配線を用いることで半導体装置の高速動作が可能となる。また、銅は、前述した通り半導体基板や絶縁物中を拡散し易いため、銅配線に本実施の形態を用いて効果的である。

【0117】

また、実施の形態1で説明した通り、例えば、素子分離用の酸化シリコン膜9を堆積した後、半導体基板の裏面に酸化シリコン膜200を形成しておけば、その後、本実施の形態で説明したCu膜の形成工程があっても、半導体基板の裏面の銅汚染を防止でき、また、半導体基板中へのCuの拡散を防止することができる。

【0118】

（実施の形態3）

実施の形態1においては、全工程（熱処理、CVD、洗浄、スパッタおよびエッチング工程）を枚葉式とした製造ラインを用いて半導体素子を形成したが、以下に示すように、バッチ式の熱処理装置やバッチ式のCVD装置を使用して半導体素子を形成してもよい。即ち、バッチ式の装置と枚葉式の装置が混在した製造ラインを用いて半導体素子を形成してもよい。

【0119】

図21～図38は、本実施の形態の半導体装置の製造方法を示す半導体基板の要部断面図である。以下、本実施の形態の半導体装置の製造方法を工程順に説明する。なお、実施の形態1と同様の工程についてはその詳細な説明を省略する。

【0120】

図21に示すように、半導体基板1上に熱酸化によりパッド酸化膜3を形成し、次いで、このパッド酸化膜3の上部にCVD法で塗化シリコン膜5を堆積する。

【0121】

この際、パッド酸化膜3をバッチ式の熱酸化装置を用い、半導体基板の裏面も酸素雰囲気に晒される装置で形成する。その結果、パッド酸化膜3は、半導体ウェハ（半導体基板1）Wの表面および裏面に形成される。

【0122】

また、塗化シリコン膜5の成膜も、バッチ式のCVD装置を用い、半導体基板の裏面も原料ガスに晒される装置で形成する。その結果、塗化シリコン膜5は、半導体ウェハWの表面および裏面に形成される。

【0123】

次いで、図22に示すように、塗化シリコン膜5の上部の素子分離領域を開口したレジスト膜7をマスクに塗化シリコン膜5およびパッド酸化膜3をエッティングする。

【0124】

次いで、図23に示すように、素子分離溝を形成し、次いで、図24に示すように、溝の表面を熱酸化した後、溝の内部を含む半導体基板1上に酸化シリコン膜9を堆積する。

【0125】

次いで、図25に示すように、半導体基板1の裏面の塗化シリコン膜5を除去し、半導体基板の裏面に絶縁膜として例えば酸化シリコン膜100をCVD法で形成する。塗化シリコン膜5を除去することにより膜応力が低減される。また、酸化シリコン膜100は、半導体ウェハの表面を下側とし、枚葉式の高密度プラズマCVD装置で形成する。

【0126】

次いで、図26に示すように、CMP法で溝の上部の酸化シリコン膜9を研磨除去し、次いで、図27に示すように、窒化シリコン膜5を除去する。

【0127】

次に、図28に示すように、パッド酸化膜3を除去した後、熱酸化により半導体基板1の表面に膜厚11nm程度の犠牲酸化膜11を形成する。

【0128】

次いで、図29に示すように、しきい値調整用のイオン打ち込みを行い、さらに、p型ウエル13およびn型ウエル15を形成する。

【0129】

次いで、半導体基板1の表面を洗浄し、その後、図30に示すように熱酸化によって、半導体基板1の表面にゲート絶縁膜17を形成する。このゲート絶縁膜17は、バッチ式の熱酸化装置を用いて行う。

【0130】

次に、ゲート絶縁膜17上に、CVD法により多結晶シリコン膜19を堆積する。この多結晶シリコン膜19は、バッチ式のCVD装置を用い、その裏面も原料ガス雰囲気に晒される装置で形成する。その結果、多結晶シリコン膜19は、半導体ウェハWの表面および裏面に形成される。

【0131】

次いで、p型ウエル13上の多結晶シリコン膜19中にリン等のn型不純物を注入し、n型ウエル15上の多結晶シリコン膜19中にホウ素等のp型不純物を注入する。

【0132】

次いで、図31に示すように、多結晶シリコン膜19をプラズマエッチングすることによりゲート電極21を形成する。このプラズマエッチングは、枚葉式のエッチング装置を用いて行う。

【0133】

この際、エッチング装置の内部には、プラズマが発生している。しかしながら、本実施の形態によれば、半導体基板の裏面に酸化シリコン膜100を形成した

ので、ゲート絶縁膜に対する電荷の影響を低減でき、ゲート絶縁膜の耐圧を向上させることができる。

【0134】

次に、図32に示すように、p型のポケットイオン領域PK_pおよびn-型半導体領域22_nを形成する。次いで、n型のポケットイオン領域PK_nおよびp-型半導体領域22_pを形成する。

【0135】

次いで、ゲート電極21の側壁に窒化シリコン膜23よりなるサイドウォールスペーサを形成する。

【0136】

次に、図33に示すように、n⁺型半導体領域25（ソース、ドレイン）およびp⁺型半導体領域27（ソース、ドレイン）を形成する。次いで、半導体基板1およびゲート電極21上に、コバルトシリサイド層29を形成する。

【0137】

ここまでで、LDD(Lightly Doped Drain)構造のソース、ドレインを備えたnチャネル型MISFETQ_nおよびpチャネル型MISFETQ_pが形成される。

【0138】

次いで、図34に示すように、MISFETQ_nおよびQ_p上に層間絶縁膜として酸化シリコン膜31を例えれば高密度プラズマCVD法で堆積する。

【0139】

次に、酸化シリコン膜31をエッティングすることによりコンタクトホール33を形成する。

【0140】

次いで、図35に示すように薄いTiN膜35_aを堆積し、半導体基板の表面および裏面を洗浄する。次いで、TiN膜35_aの上部にW膜35_bをスパッタ法により堆積する。

【0141】

次いで、図36に示すように、W膜35_b等を酸化シリコン膜31が露出する

までCMP法により研磨することによってコンタクトホール33内にプラグ35を形成する。

【0142】

次いで、図37に示すように、TiN膜39aおよびW膜39bよりなる第1層配線39を形成する。

【0143】

この後、第1層配線39上を含む酸化シリコン膜31上に層間絶縁膜41を形成し、実施の形態2で説明したように、配線溝MG2およびコンタクトホールC2を形成する。

【0144】

次いで、図38に示すように、半導体基板上にバリア膜として例えばTiN膜、シード膜としてCu（銅）膜を形成し、さらに、電解メッキ法によりCu膜を形成する。次いで、配線溝MG2およびコンタクトホールC2外部のCu膜等をCMP法により研磨することによってプラグP2および第2層配線M2を形成する。

【0145】

この後、第2層配線M2上に絶縁膜47を形成し、さらに、プラグおよび配線の形成工程を繰り返すことによって多層の配線を形成することが可能であるが、これらの形成工程や実装工程の説明および図示は省略する。

【0146】

このように、本実施の形態によれば、半導体基板の裏面に酸化シリコン膜100を形成したので、その後の処理（例えば、多結晶シリコン膜19のプラズマエッチング）の際に、半導体基板に電荷が蓄積されても、ゲート絶縁膜に対する電荷の影響を低減でき、ゲート絶縁膜の耐圧を向上させることができる。また、Cu膜の形成時に、半導体基板の裏面が酸化シリコン膜100および多結晶シリコン膜19で覆われているため、半導体基板の裏面の銅汚染を防止でき、また、半導体基板中へのCuの拡散を防止することができる。

【0147】

（実施の形態4）

実施の形態3においては、素子分離用の酸化シリコン膜9を堆積した後、半導体基板の裏面に酸化シリコン膜100を形成したが、以下に示すように、多結晶シリコン膜19を堆積した後に、酸化シリコン膜200を形成してもよい。

【0148】

図39～図52は、本実施の形態の半導体装置の製造方法を示す半導体基板の要部断面図である。以下、本実施の形態の半導体装置の製造方法を工程順に説明する。なお、実施の形態1もしくは3と同様の工程についてはその詳細な説明を省略する。

【0149】

図39に示すように、半導体基板1上にパッド酸化膜3および塗化シリコン膜5を堆積する。この際、パッド酸化膜3および塗化シリコン膜5は、バッチ式の装置を用いて形成され、半導体ウェハWの表面および裏面に形成される。

【0150】

次いで、加工された塗化シリコン膜5およびパッド酸化膜3をマスクに、素子分離溝を形成し、溝の表面に薄い酸化膜を形成した後、酸化シリコン膜9を堆積する。次いで、CMP法で溝の上部の酸化シリコン膜9を塗化シリコン膜5が露出するまで研磨する。

【0151】

次いで、図40に示すように、半導体基板1の表面および裏面の塗化シリコン膜5を除去する。

【0152】

次に、図41に示すように、パッド酸化膜3を除去した後、熱酸化により半導体基板1の表面に膜厚11nm程度の犠牲酸化膜11を形成する。この犠牲酸化膜11は、バッチ式の熱酸化装置を用いて形成され、半導体ウェハWの表面および裏面に形成される。

【0153】

次いで、図42に示すように、しきい値調整用のイオン打ち込みを行い、さらに、p型ウエル13およびn型ウエル15を形成する。

【0154】

次いで、半導体基板1の表面を洗浄し、半導体基板1の表面および裏面の犠牲酸化膜11を除去した後、図43に示すように熱酸化によって、半導体基板1の表面にゲート絶縁膜17を形成する。このゲート絶縁膜17は、バッチ式の熱処理装置を用いて形成する。

【0155】

次に、ゲート絶縁膜17上に、CVD法により多結晶シリコン膜19を堆積する。この多結晶シリコン膜19は、バッチ式のCVD装置を用い、その裏面も原料ガス雰囲気に晒される装置で形成する。その結果、多結晶シリコン膜19は、半導体ウエハWの表面および裏面に形成される。

【0156】

なお、ゲート絶縁膜17の形成を枚葉式の熱処理装置を用い、続く多結晶シリコン膜19の形成をバッチ式の成膜装置を用いる方法であってもよい。この場合、ゲート絶縁膜17形成時にはウエハ裏面側には絶縁膜が形成されない。そして、多結晶シリコン膜19形成時に、ウエハ裏面側に多結晶シリコン膜が直接形成されることとなる。この多結晶シリコン膜により後述したようなゲッタリング強化を図ることが可能となる。このため、予めウエハ裏面に、ゲッタリング強化のための多結晶シリコンを形成する必要がなく、ウエハのコスト低減が図れる。

【0157】

次いで、図44に示すように、半導体基板1の裏面に絶縁膜として例えれば酸化シリコン膜200をCVD法で形成する。この酸化シリコン膜200は、半導体ウエハの表面を下側とし、枚葉式のCVD装置で形成する。

【0158】

次いで、p型ウエル13上の多結晶シリコン膜19中にリン等のn型不純物を注入し、n型ウエル15上の多結晶シリコン膜19中にホウ素等のp型不純物を注入する。

【0159】

次いで、図45に示すように、多結晶シリコン膜19をプラズマエッティングすることによりゲート電極21を形成する。このプラズマエッティングは、枚葉式のエッティング装置を用いて行う。

【0160】

この際、エッチング装置の内部には、プラズマが発生している。しかしながら、本実施の形態によれば、半導体基板の裏面に酸化シリコン膜200を形成したので、ゲート絶縁膜17に対する電荷の影響を低減でき、ゲート絶縁膜の耐圧を向上させることができる。

【0161】

次に、図46に示すように、p型のポケットイオン領域PKpおよびn-型半導体領域22nを形成する。次いで、n型のポケットイオン領域PKnおよびp-型半導体領域22pを形成する。

【0162】

次いで、ゲート電極21の側壁に窒化シリコン膜23よりなるサイドウォールスペーサを形成し、n⁺型半導体領域25（ソース、ドレイン）およびp⁺型半導体領域27（ソース、ドレイン）を形成する。

【0163】

次いで、図47に示すように、半導体基板1およびゲート電極21上に、コバルトシリサイド層29を形成する。

【0164】

ここまでで、LDD(Lightly Doped Drain)構造のソース、ドレインを備えたnチャネル型MISFETQnおよびpチャネル型MISFETQpが形成される。

【0165】

次いで、図48に示すように、MISFETQnおよびQp上に層間絶縁膜として酸化シリコン膜31を例えれば高密度プラズマCVD法で堆積する。

【0166】

次に、酸化シリコン膜31をエッチングすることによりコンタクトホール33を形成する。

【0167】

次いで、図49に示すように薄いTiN膜35aを堆積し、半導体基板の表面および裏面を洗浄する。次いで、TiN膜35aの上部にW膜35bをスパッタ

法により堆積する。

【0168】

次いで、図50に示すように、W膜35b等を酸化シリコン膜31が露出するまでCMP法により研磨することによってコンタクトホール33内にプラグ35を形成する。

【0169】

次いで、図51に示すように、TiN膜39aおよびW膜39bよりなる第1層配線39を形成する。

【0170】

この後、第1層配線39上を含む酸化シリコン膜31上に層間絶縁膜41を形成し、実施の形態2で説明したように、配線溝MG2およびコンタクトホールC2を形成する。

【0171】

次いで、図52に示すように、バリア膜として例えばTiN膜、シード膜としてCu(銅)膜を形成し、さらに、電解メッキ法によりCu膜を形成する。次いで、配線溝MG2およびコンタクトホールC2外部のCu膜等をCMP法により研磨することによってプラグP2および第2層配線M2を形成する。

【0172】

この後、第2層配線M2上に絶縁膜47を形成し、さらに、プラグおよび配線の形成工程を繰り返すことによって多層の配線を形成することが可能であるが、これらの形成工程および実装工程の説明および図示は省略する。

【0173】

このように、本実施の形態によれば、半導体基板の裏面に酸化シリコン膜200を形成したので、その後の処理(例えば、多結晶シリコン膜19のプラズマエッティング)の際に、半導体基板に電荷が蓄積されても、ゲート絶縁膜に対する電荷の影響を低減でき、ゲート絶縁膜の耐圧を向上させることができる。

【0174】

また、半導体基板の裏面に酸化シリコン膜200を形成したので、半導体基板の裏面が親水性となり、付着した異物(特に、金属系の異物)が除去されやすい

。また、半導体基板の裏面に形成された酸化シリコン膜をわずかにエッチングする洗浄液を用いることで、リフトオフ的に異物を除去することが可能となり、洗浄効率が向上する。

【0175】

また、Cu膜の形成時に2、半導体基板の裏面が多結晶シリコン膜19および酸化シリコン膜200で覆われているため、半導体基板の裏面の銅汚染を防止でき、また、半導体基板中へのCuの拡散を防止することができる。

【0176】

なお、酸化シリコン膜(100、200)の形成工程は、実施の形態3および4で示す時期(タイミング)に限られないことは、実施の形態1で説明した通りである。

【0177】

また、前記酸化シリコン膜の他、窒化シリコン膜やこれらの積層膜を用いてもよく、その膜厚は、例えば、20～500nm程度が好ましい点も実施の形態1で説明した通りである。

【0178】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0179】

特に、前記実施の形態においては、種々の製造ラインで半導体装置を形成する工程について説明したが、かかる製造工程に限定されず、半導体基板の裏面にゲート絶縁膜の耐圧や洗浄効率を向上させるに足る充分な膜厚の絶縁膜が形成されないラインに広く適用可能である。

【0180】

また、半導体装置の製造工程においてゲッタリング強化のため、その裏面に多結晶シリコンを形成する場合がある。このゲッタリングとは、半導体基板中に侵入した不所望な原子等を捕獲する機能をいい、例えば、単結晶のシリコン基板と多結晶のシリコン膜との界面の歪みを利用するものがある。

【0181】

従って、このような多結晶シリコン膜の形成後においても前記実施の形態の絶縁膜（100、200）を形成することにより前記効果を奏することができる。

【0182】

さらに、このゲッタリング用の多結晶シリコンは前記絶縁膜で覆われているため、半導体基板の裏面の多結晶シリコンが酸化され、また、その酸化膜や多結晶シリコン自身がエッチングされることにより、除々にその膜厚が低減され、もしくは消失するのを防止することができる。

【0183】

本発明は、直径300mm近傍（300±0.2mm）もしくは300mm以上の半導体ウエハを用いた枚葉処理の半導体製造プロセスに有効である。

【0184】**【発明の効果】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0185】

枚葉処理を主とした半導体装置の製造方法のゲート絶縁膜の形成の前もしくは後に、半導体基板の裏面に絶縁膜を形成することにより、ゲート絶縁膜の耐圧の劣化を防止することができる。また、半導体ウエハの洗浄効率を向上させることができる。このように、半導体装置の特性の向上を図ることができる。

【0186】

また、金属膜形成後に行われる半導体ウエハの洗浄工程の前に、半導体基板の裏面に絶縁膜を形成することにより、半導体ウエハの洗浄効率を向上させることができる。その結果、半導体装置の特性の向上を図ることができる。

【図面の簡単な説明】**【図1】**

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図2】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図3】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図4】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図5】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図6】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図7】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図8】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図9】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図10】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図11】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図12】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図13】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図14】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図15】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図16】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図17】

本発明の実施の形態1である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図18】

本発明の実施の形態1である他の半導体装置の製造方法を示す半導体基板の要部断面図である。

【図19】

本発明の実施の形態2である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図20】

本発明の実施の形態2である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図21】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断

面図である。

【図22】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図23】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図24】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図25】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図26】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図27】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図28】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図29】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図30】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図31】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図32】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図33】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図34】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図35】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図36】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図37】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図38】

本発明の実施の形態3である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図39】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図40】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 4 1】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 4 2】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 4 3】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 4 4】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 4 5】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 4 6】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 4 7】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 4 8】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 4 9】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 5 0】

本発明の実施の形態4である半導体装置の製造方法を示す半導体基板の要部断

面図である。

【図 5 1】

本発明の実施の形態 4 である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 5 2】

本発明の実施の形態 4 である半導体装置の製造方法を示す半導体基板の要部断面図である。

【図 5 3】

本発明の実施の形態の半導体装置の製造方法に用いられる半導体ウエハを示す斜視図である。

【図 5 4】

本発明の実施の形態の半導体装置の製造方法に用いられる装置および処理方法を模式的に表した断面図である。

【図 5 5】

本発明の実施の形態の半導体装置の製造方法に用いられる装置および処理方法を模式的に表した断面図である。

【図 5 6】

バッチ式の処理装置および処理方法を模式的に表した断面図である。

【符号の説明】

1 半導体基板（半導体ウエハ）

3 パッド酸化膜

5 窒化シリコン膜

7 レジスト膜

9 酸化シリコン膜

11 犠牲酸化膜

13 p 型ウエル

15 n 型ウエル

17 ゲート絶縁膜

19 多結晶シリコン膜

21 ゲート電極
22 n n-型半導体領域
22 p p-型半導体領域
23 窒化シリコン膜
25 n+型半導体領域
27 p+型半導体領域
29 コバルトシリサイン層
31 酸化シリコン膜
33 コンタクトホール
35 プラグ
35a TiN膜
35b W膜
39 第1層配線
39a TiN膜
39b W膜
41 層間絶縁膜
47 絶縁膜
100 酸化シリコン膜
200 酸化シリコン膜
400 热酸化装置
401 サセプタ
500 CVD装置
501 サセプタ
601 処理装置
601 バッチ式の処理装置
602 ウエハホルダ
603 膜
700 エッティング装置
701 サセプタ

702 電極

800 洗浄装置

801 留め具

802 ノズル

C2 コンタクトホール

G ゲート電極

M2 第2層配線

MG2 配線溝

P2 プラグ

PKn n型のポケットイオン領域

PKp p型のポケットイオン領域

Qn nチャネル型MISFET

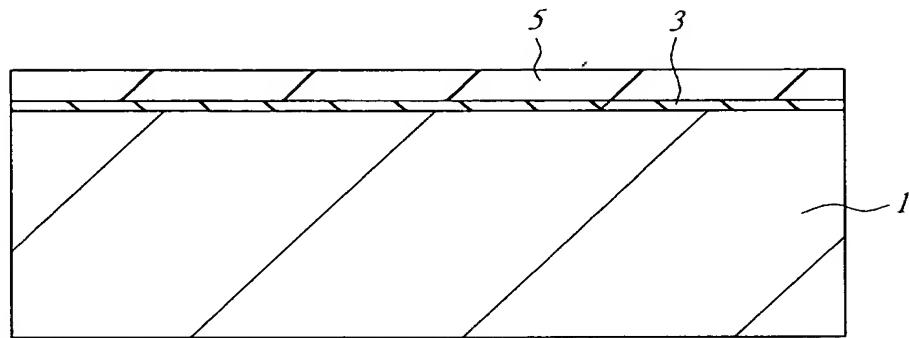
Qp pチャネル型MISFET

W 半導体ウエハ（ウエハ、半導体基板）

【書類名】 図面

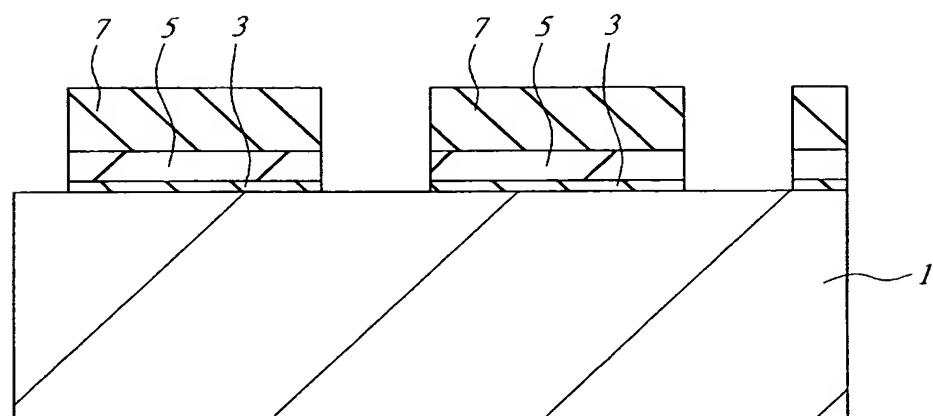
【図 1】

図 1



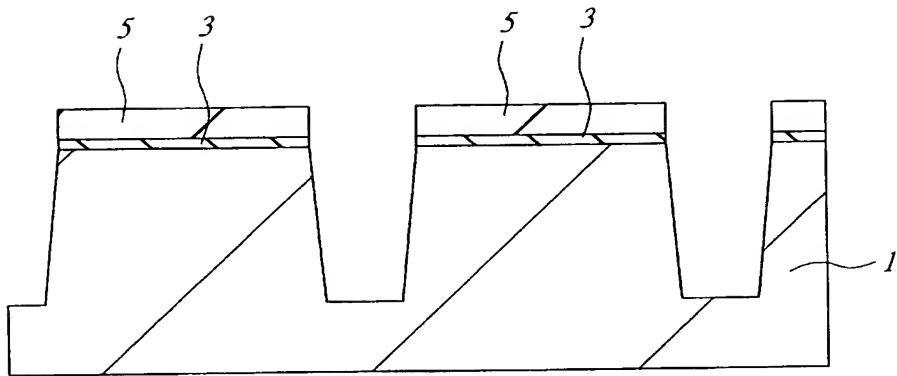
【図 2】

図 2



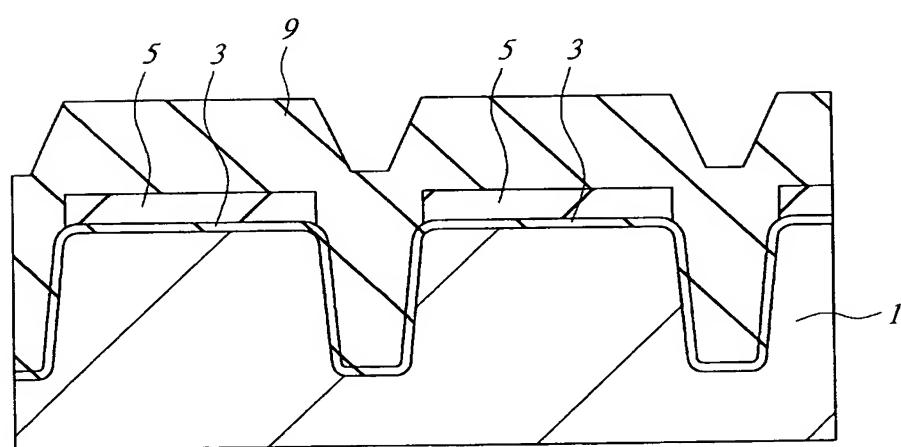
【図3】

図 3



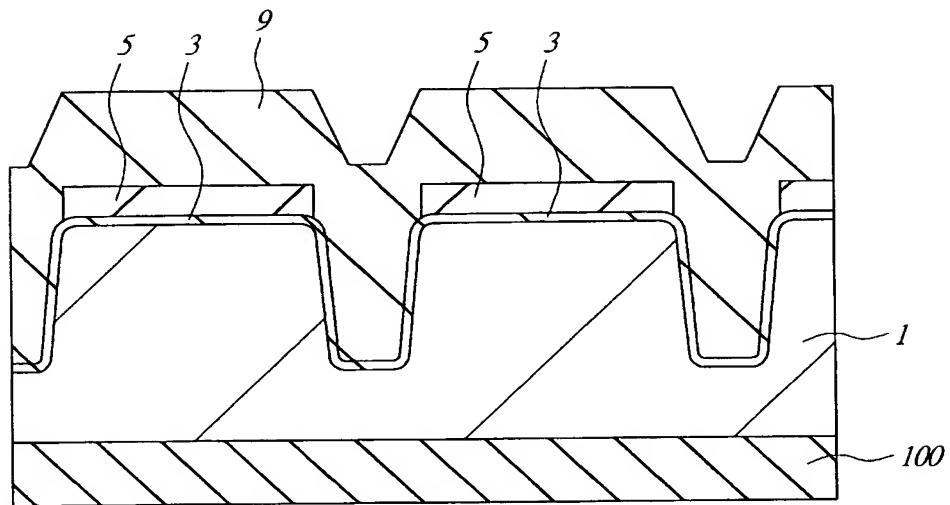
【図4】

図 4



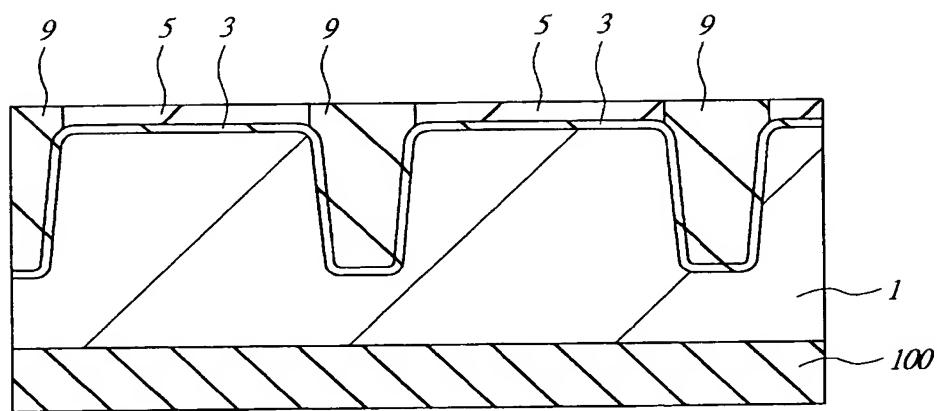
【図5】

図 5



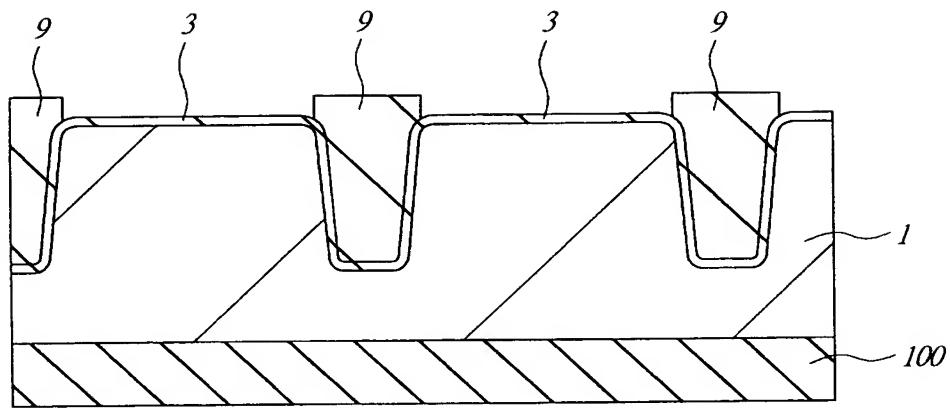
【図6】

図 6



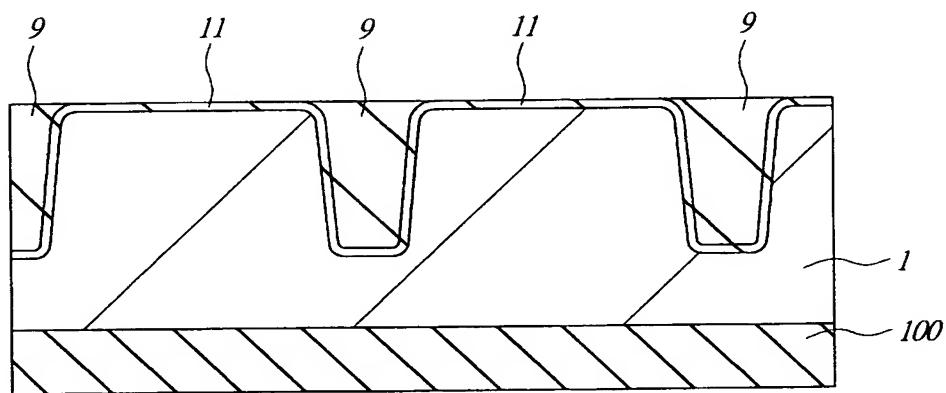
【図7】

図 7



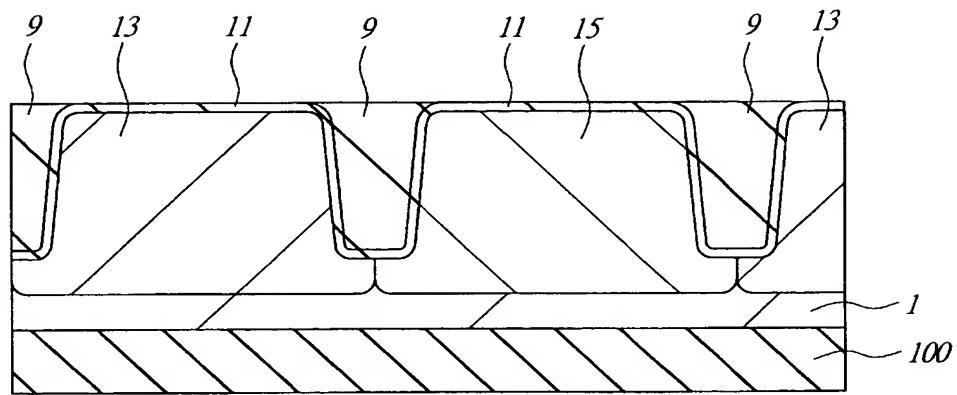
【図8】

図 8



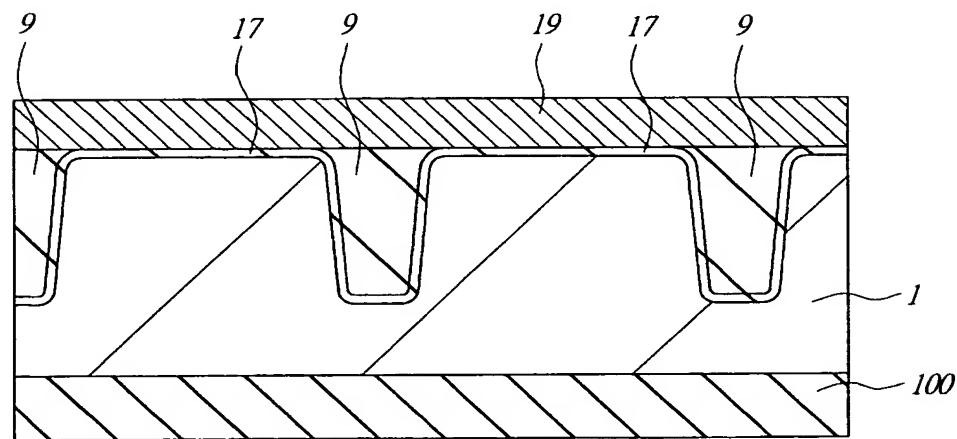
【図9】

図 9



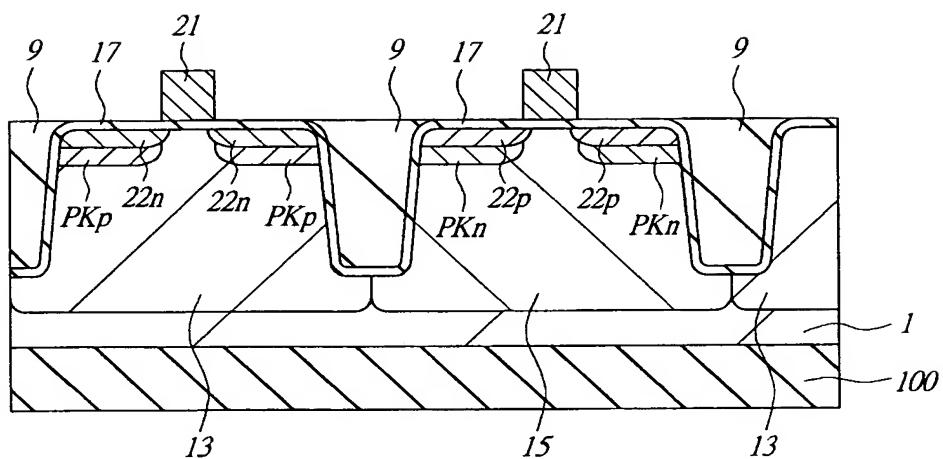
【図10】

図 10



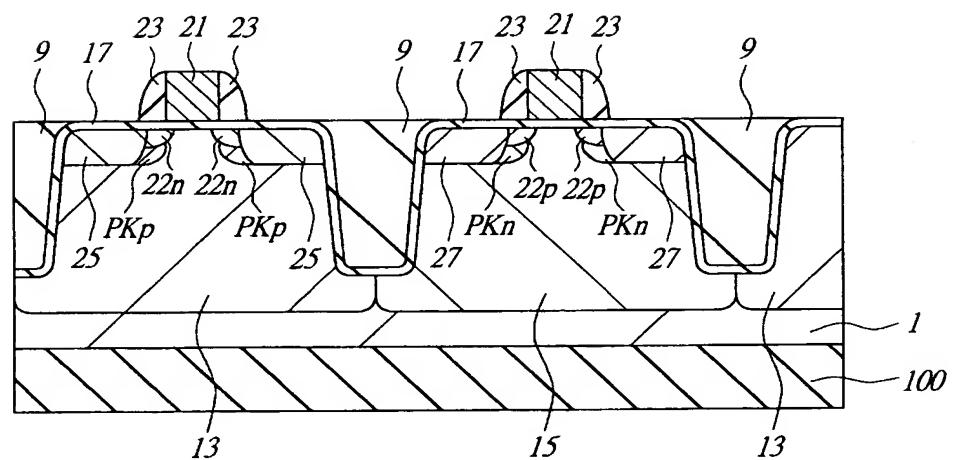
【図 1 1】

図 11



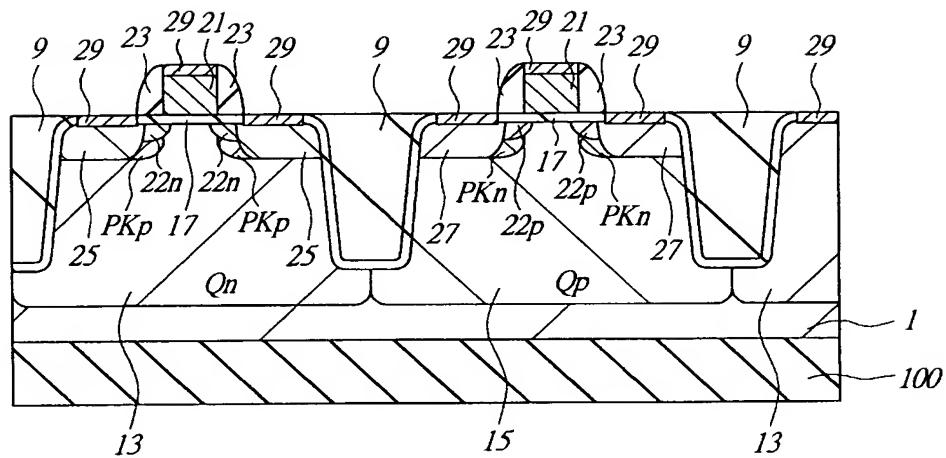
【図 1 2】

図 12



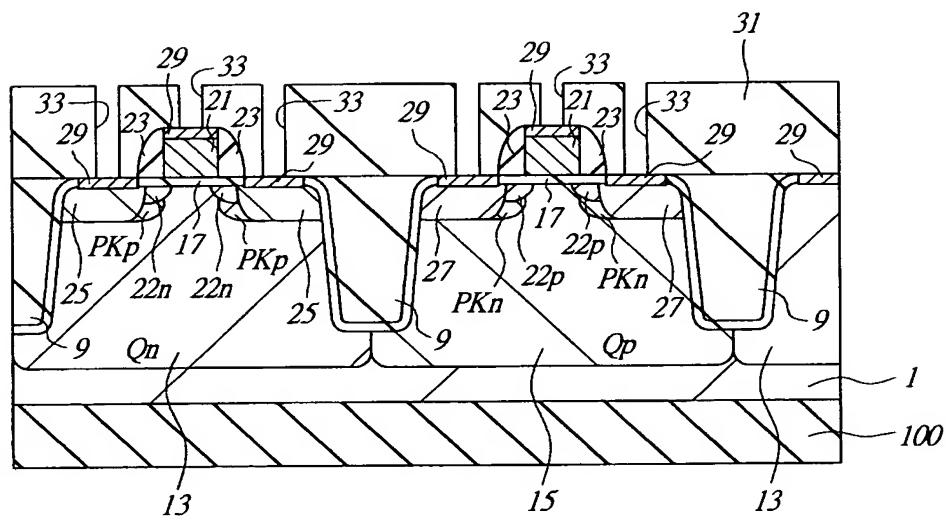
【図13】

図 13



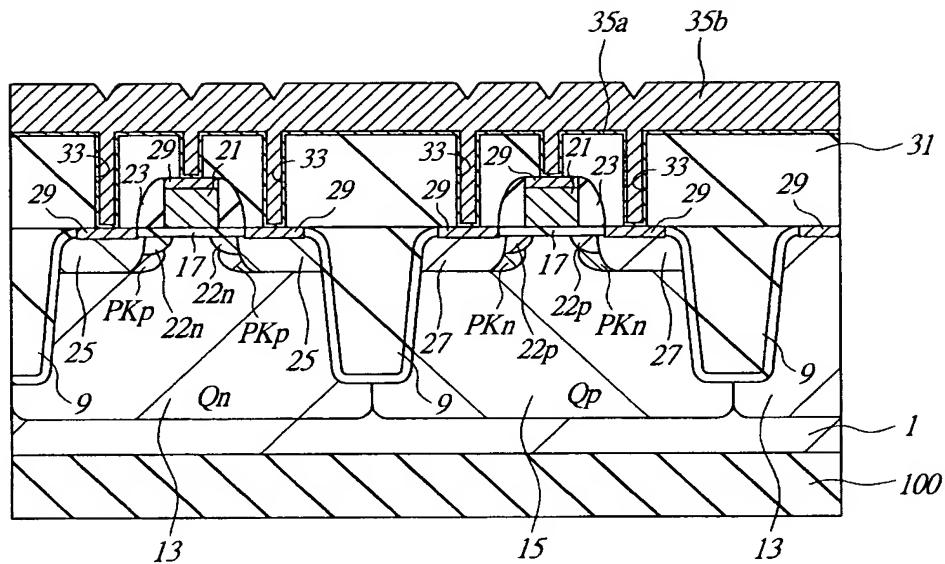
【図14】

図 14



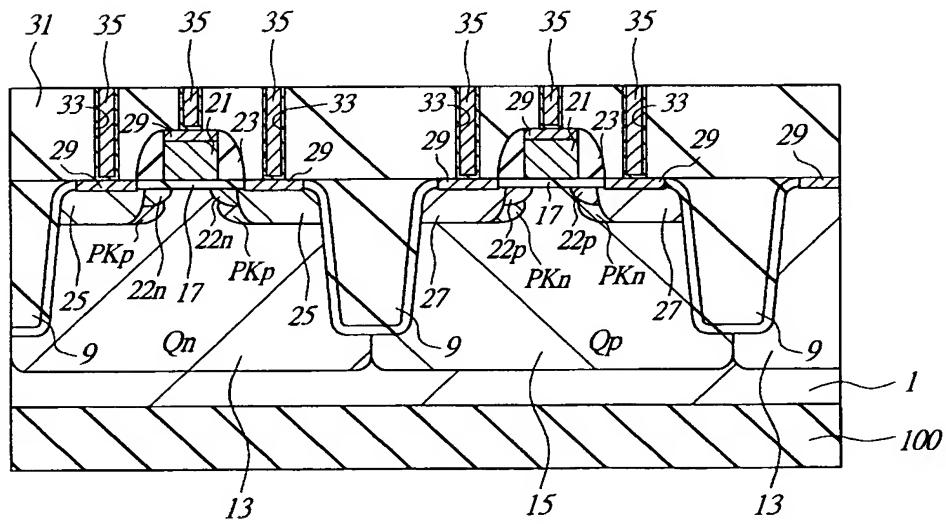
【図15】

図 15



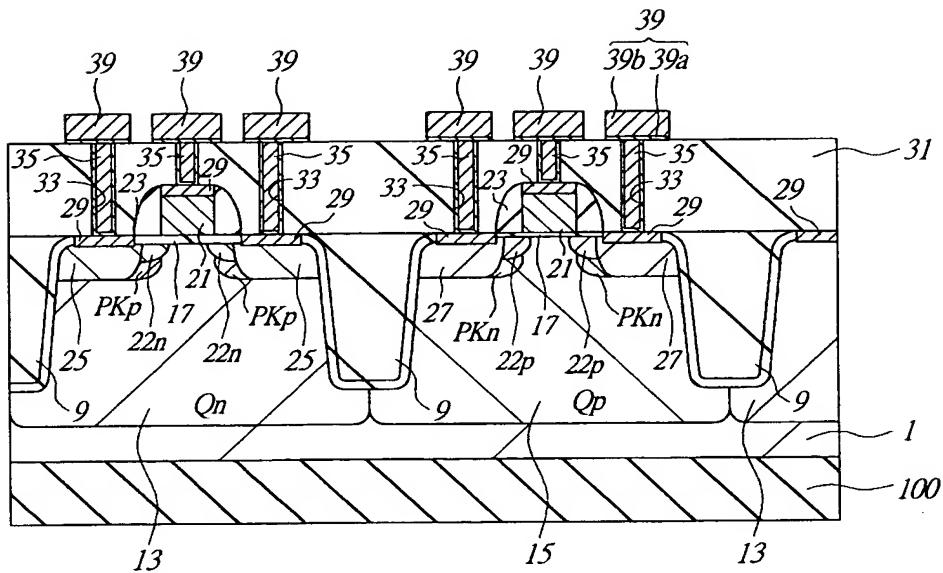
【図16】

図 16



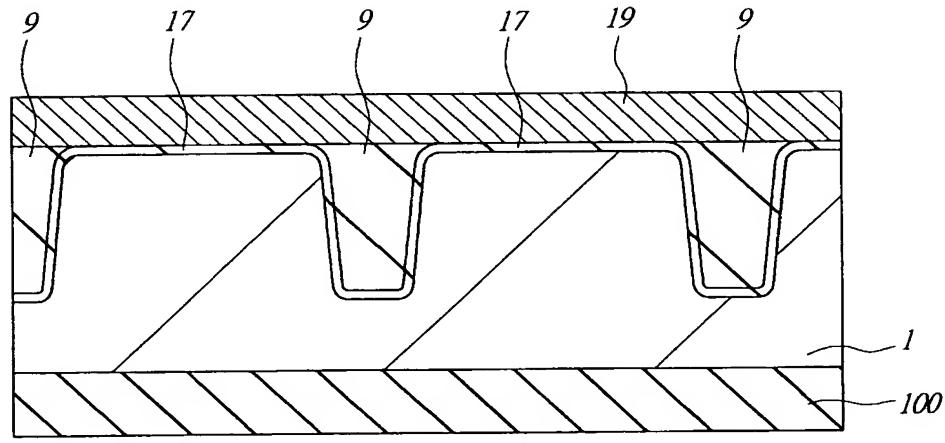
【図17】

図 17



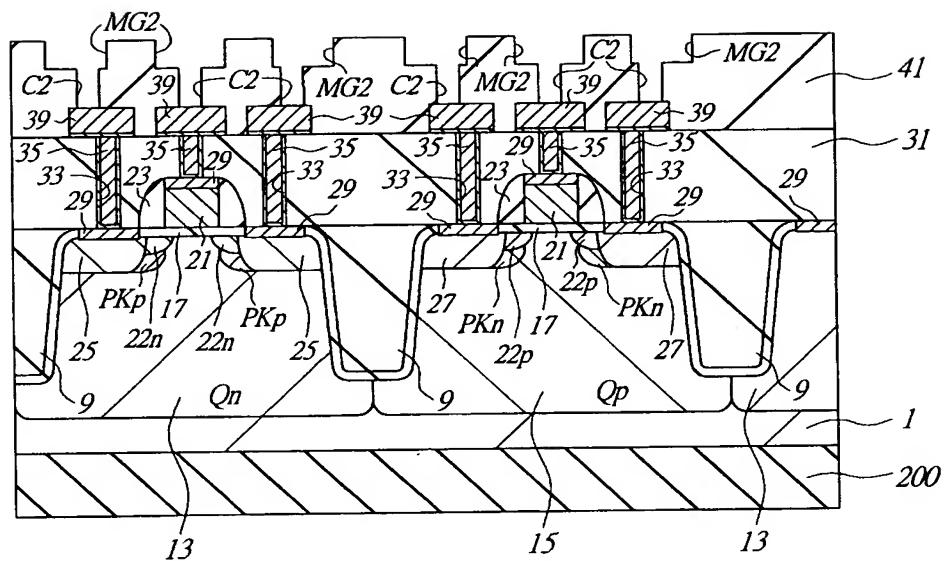
【図18】

図 18



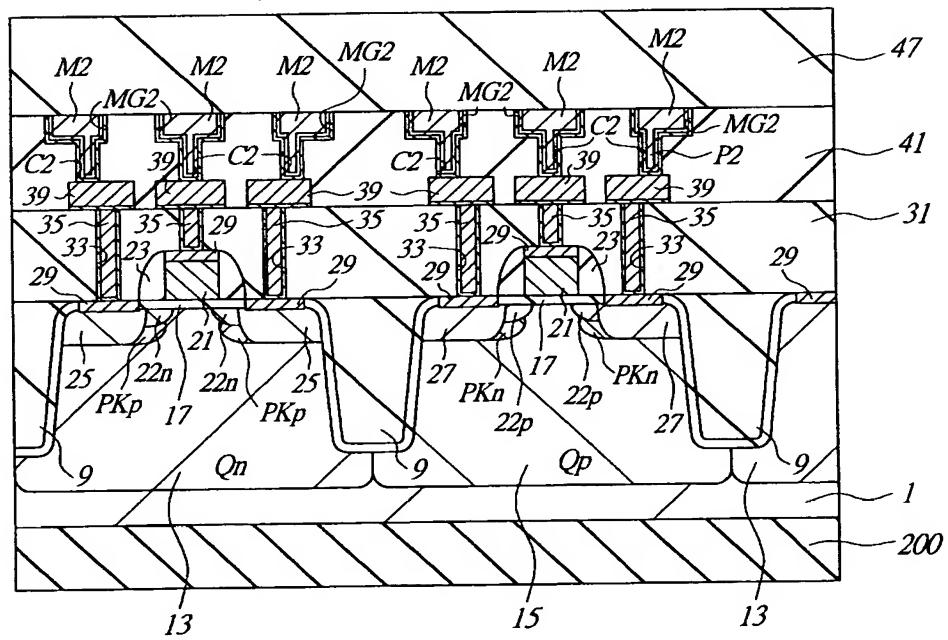
【図19】

図 19



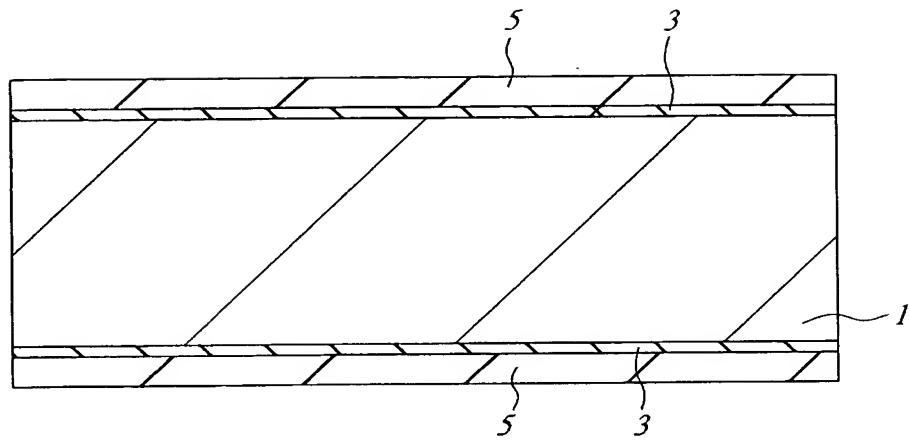
【図20】

図 20



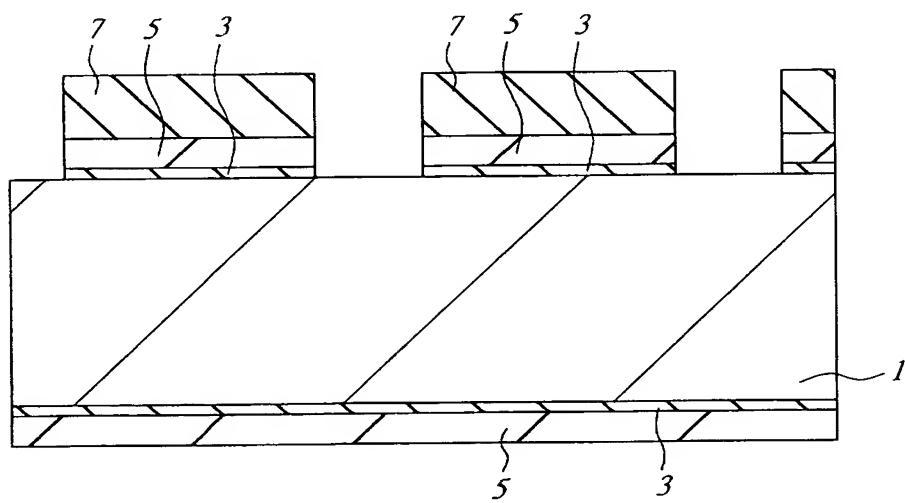
【図21】

図 21



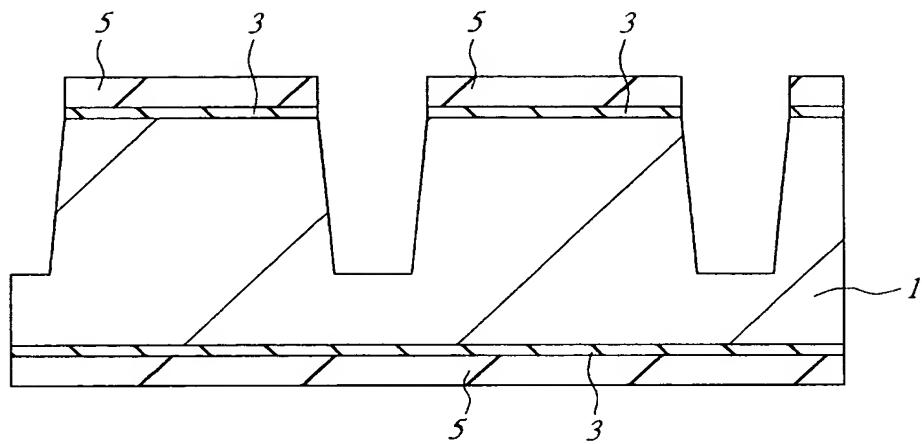
【図22】

図 22



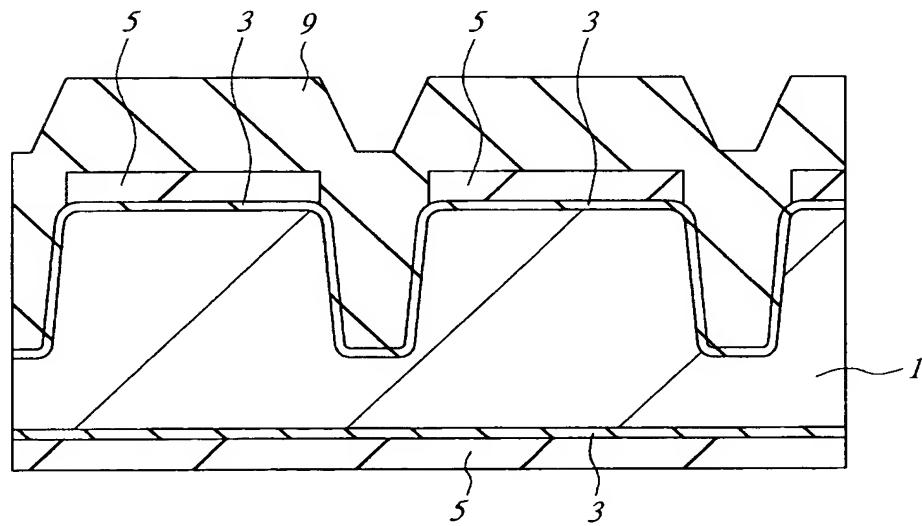
【図23】

図 23



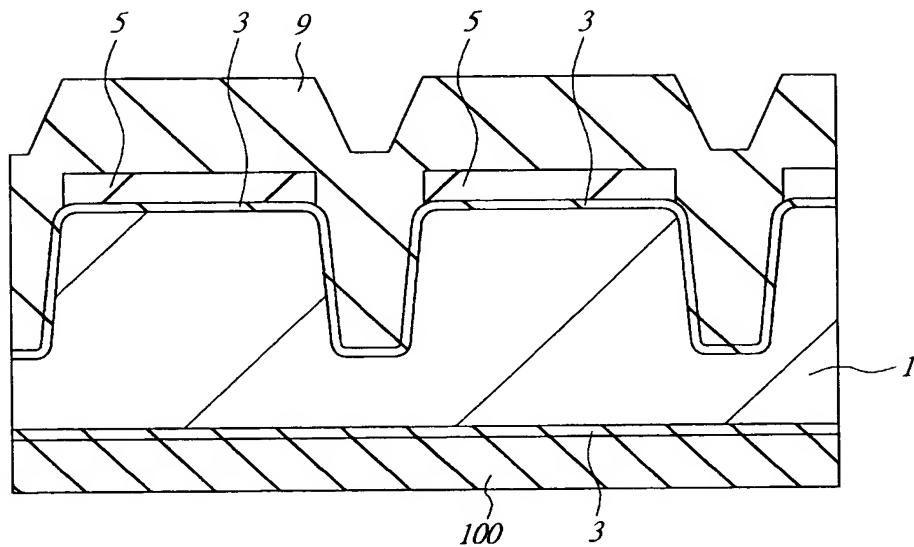
【図24】

図 24



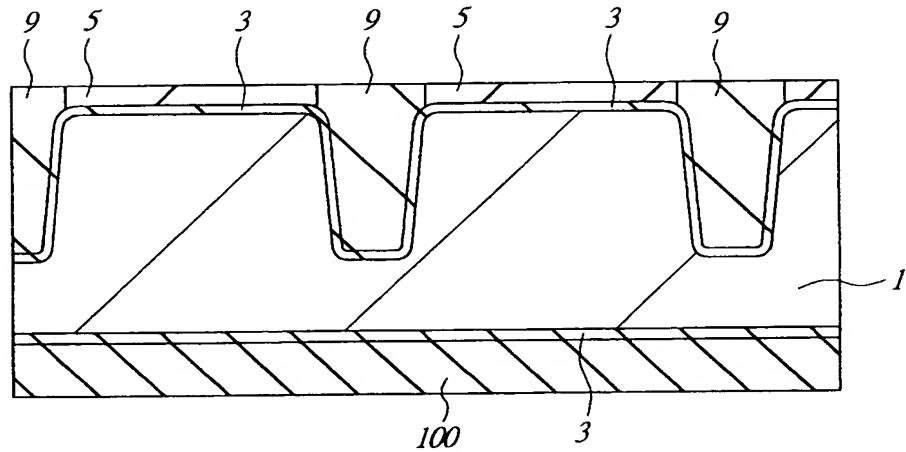
【図25】

図 25



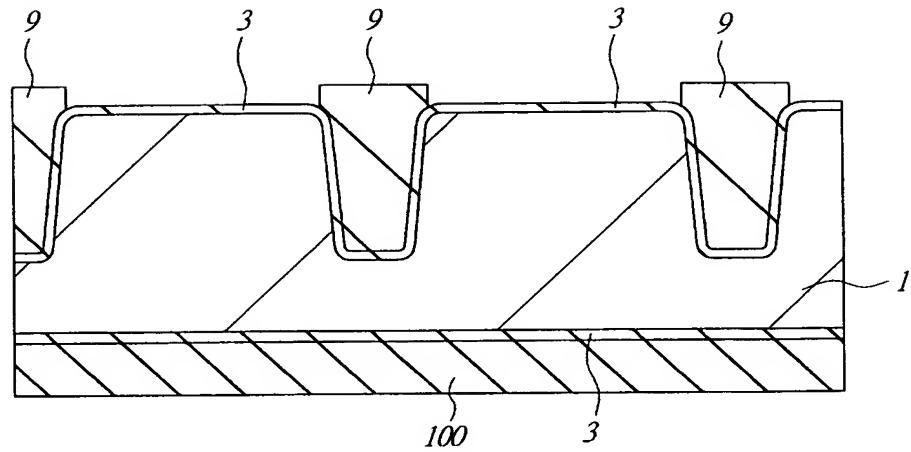
【図26】

図 26



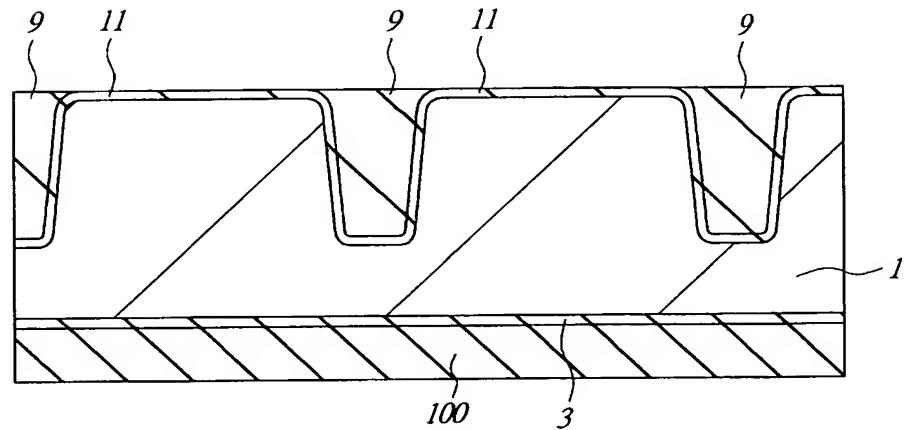
【図27】

図 27



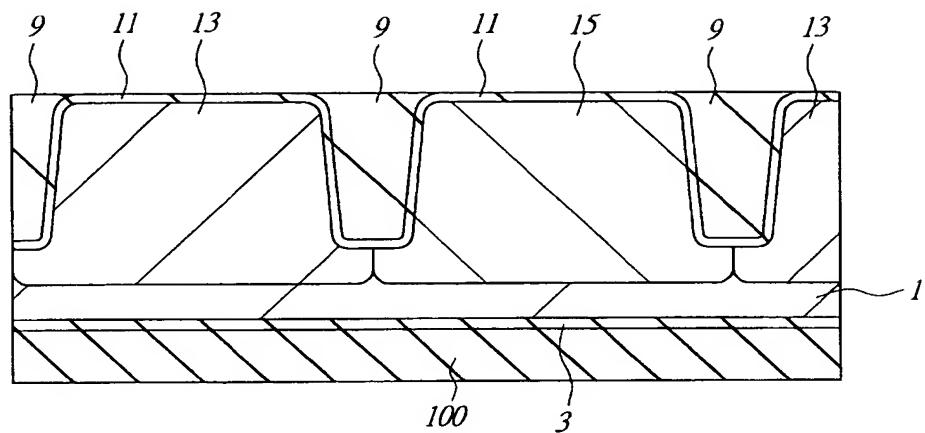
【図28】

図 28



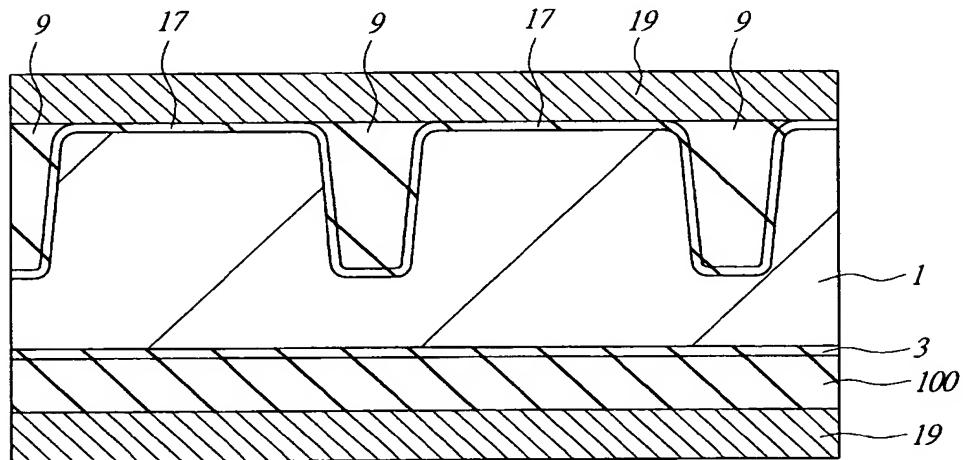
【図29】

図 29



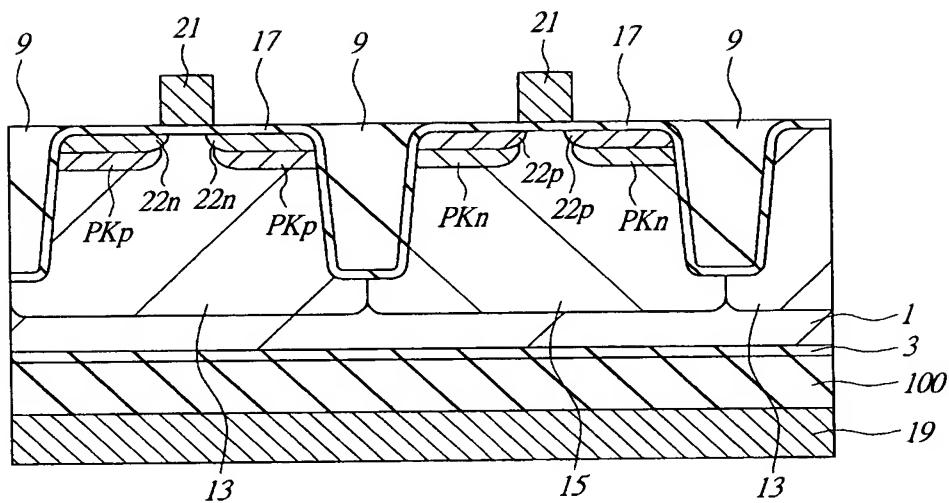
【図30】

図 30



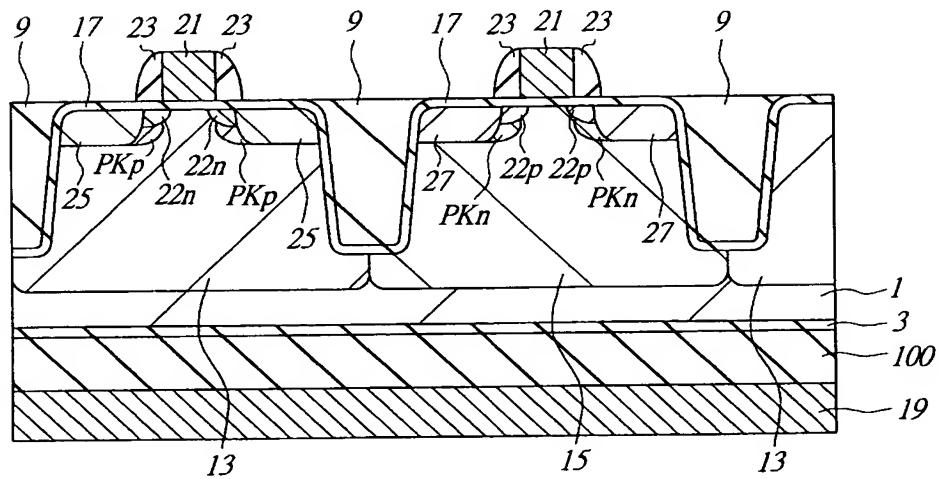
【図31】

図 31



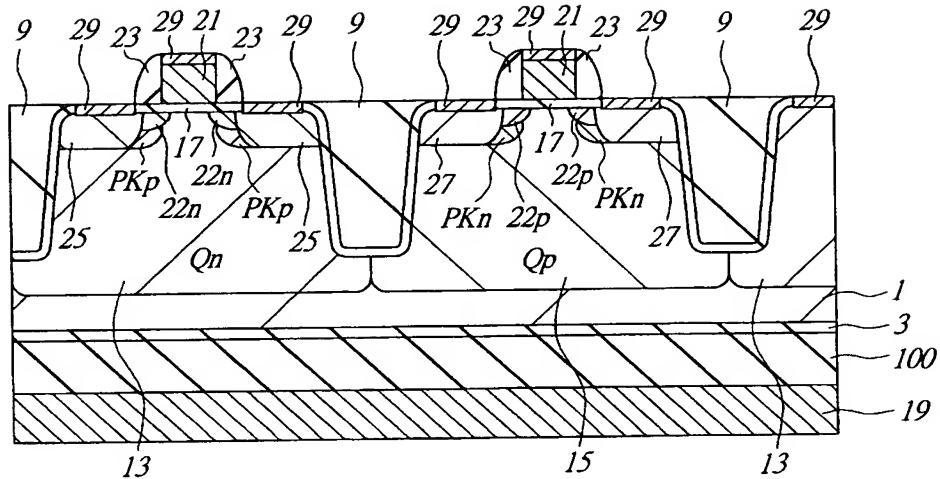
【図32】

図 32



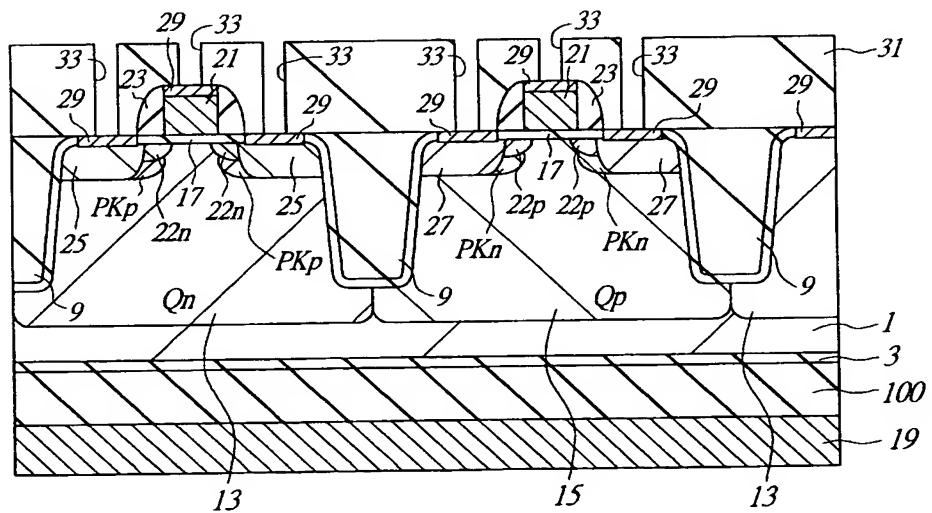
【図33】

図 33



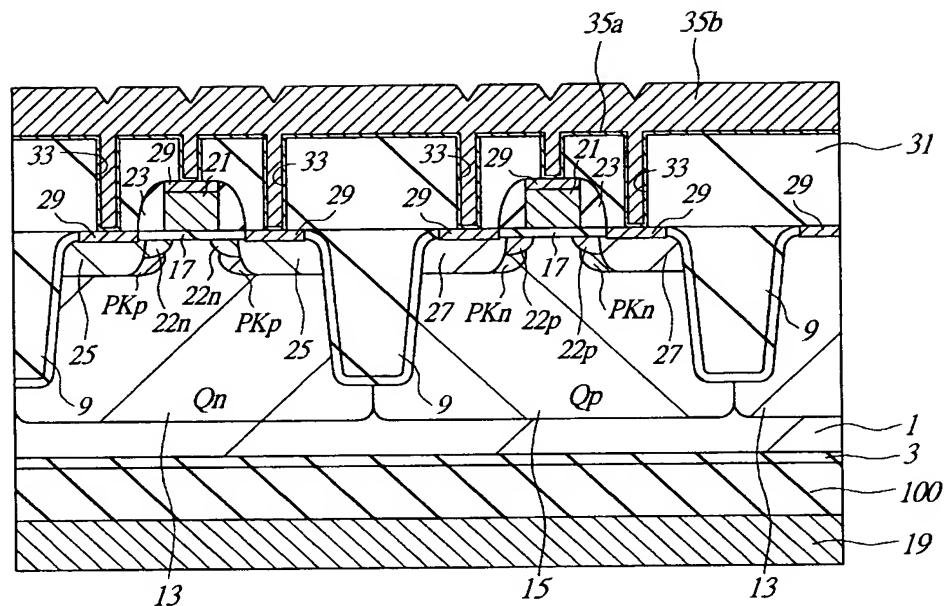
【図34】

図 34



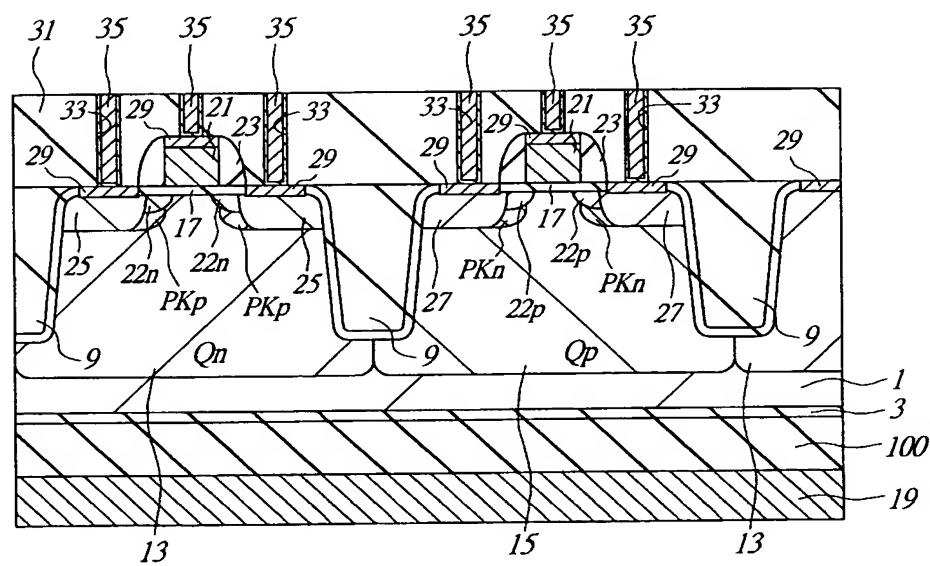
【図35】

図 35



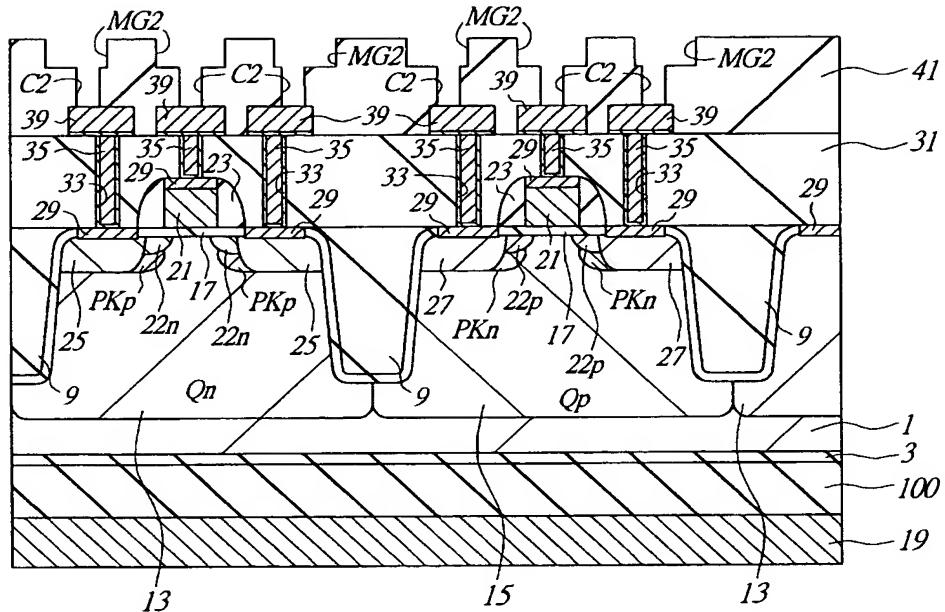
【図36】

図 36



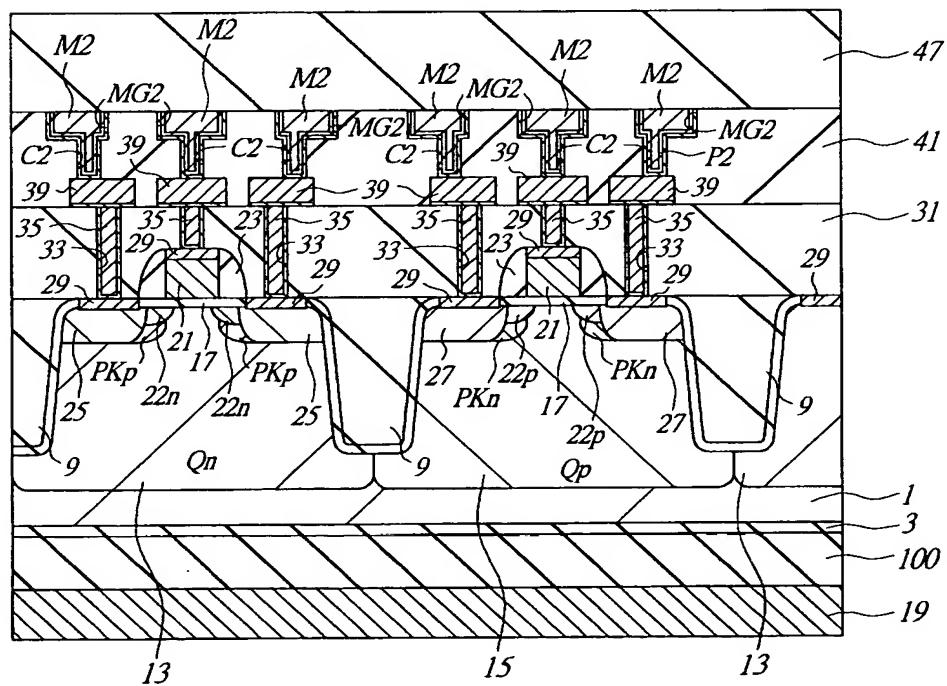
【図37】

図 37



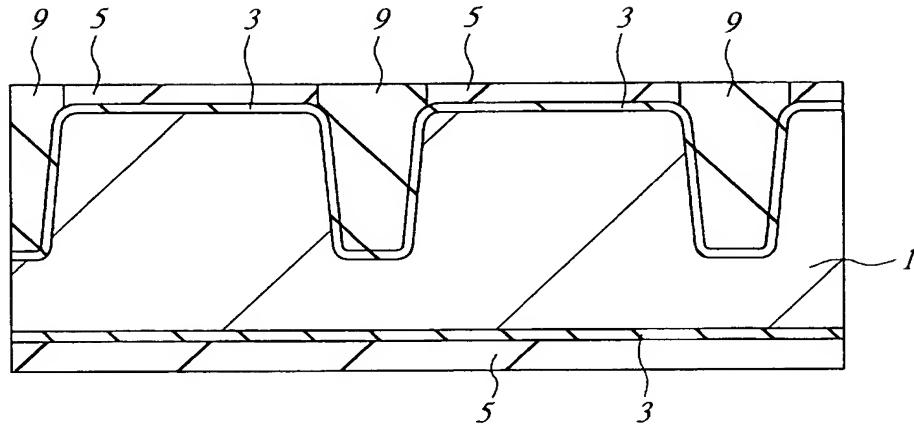
【図38】

図 38



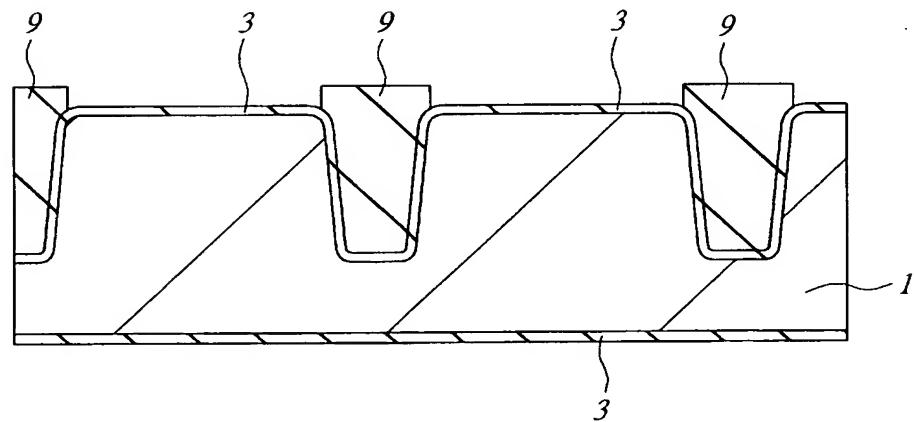
【図39】

図 39



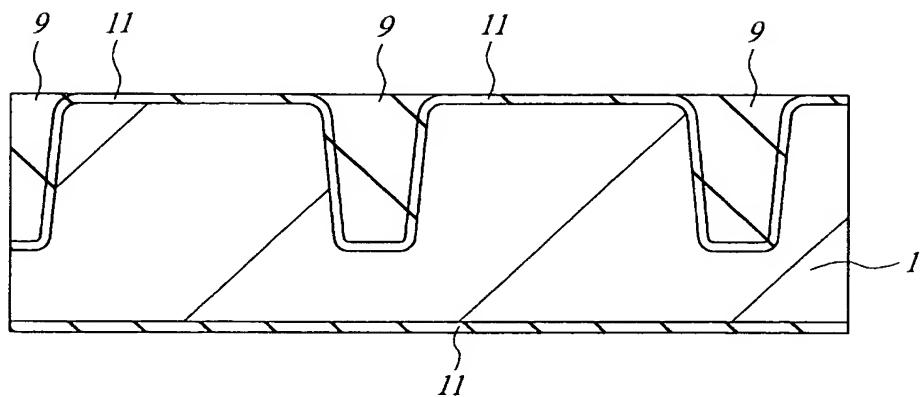
【図40】

図 40



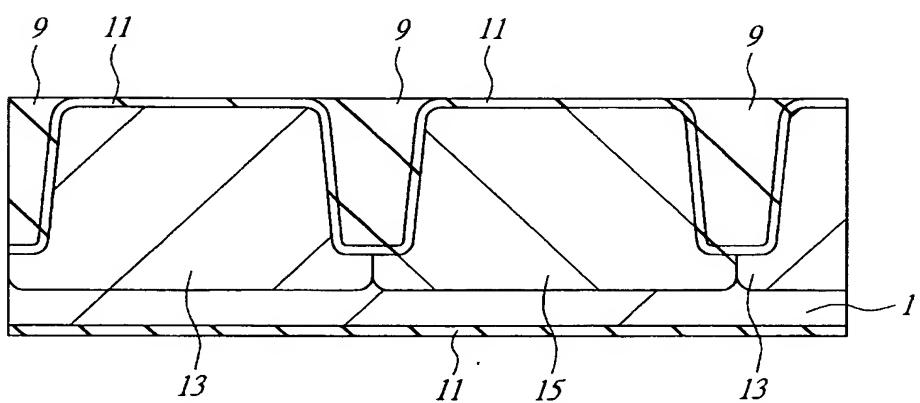
【図41】

図 41



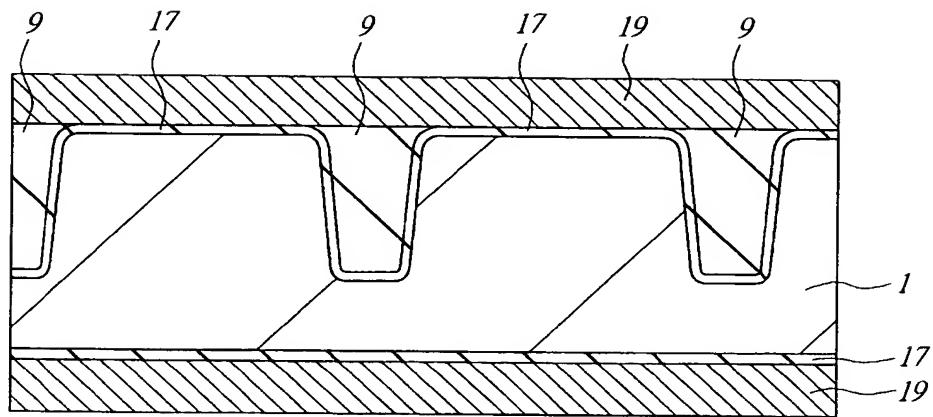
【図42】

図 42



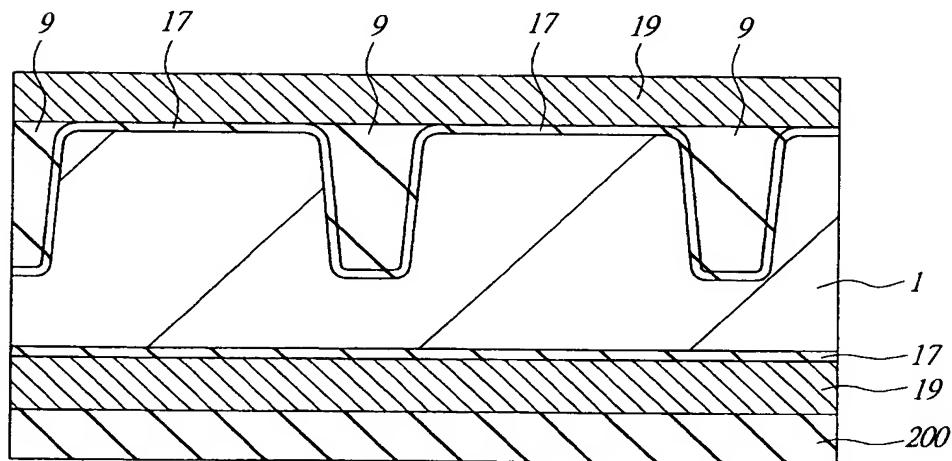
【図43】

図 43



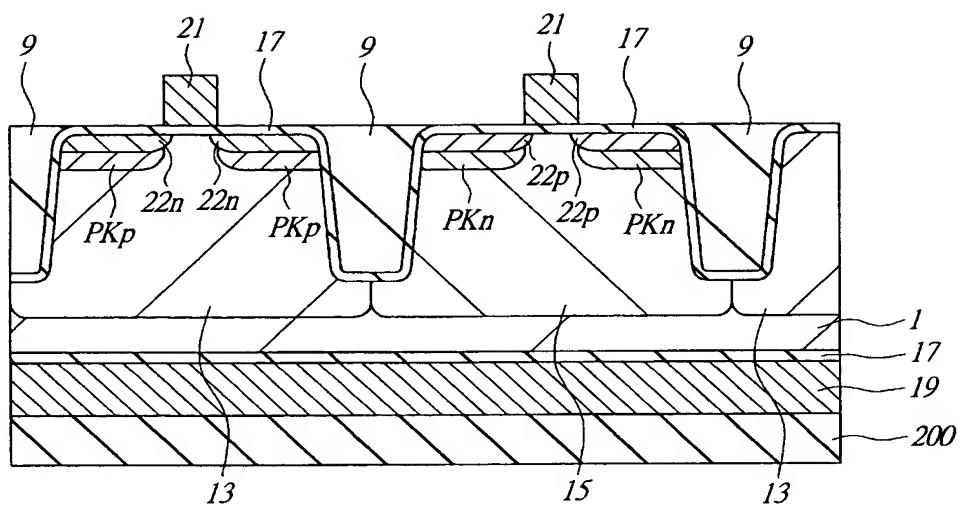
【図44】

図 44



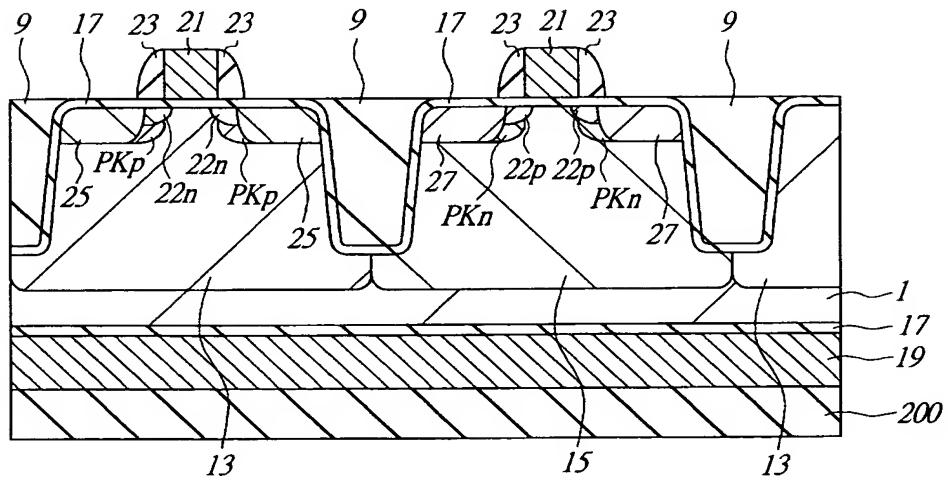
【図45】

図 45



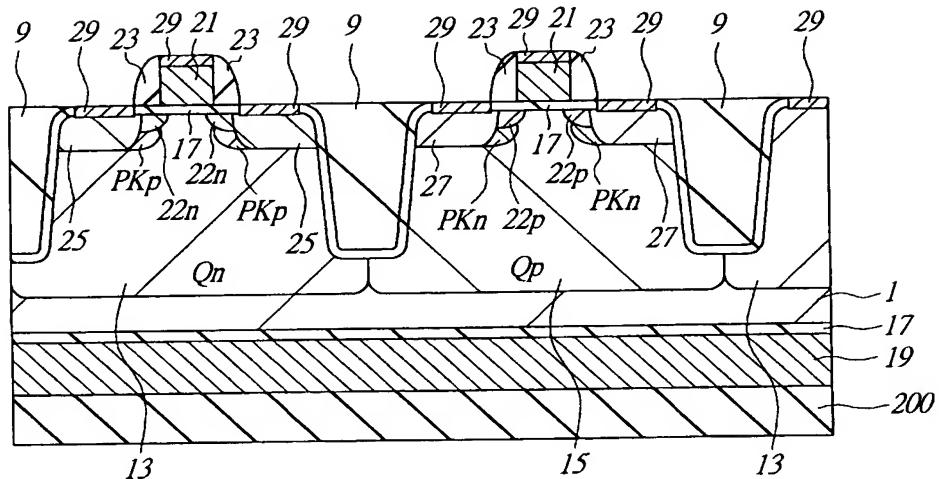
【図46】

図 46



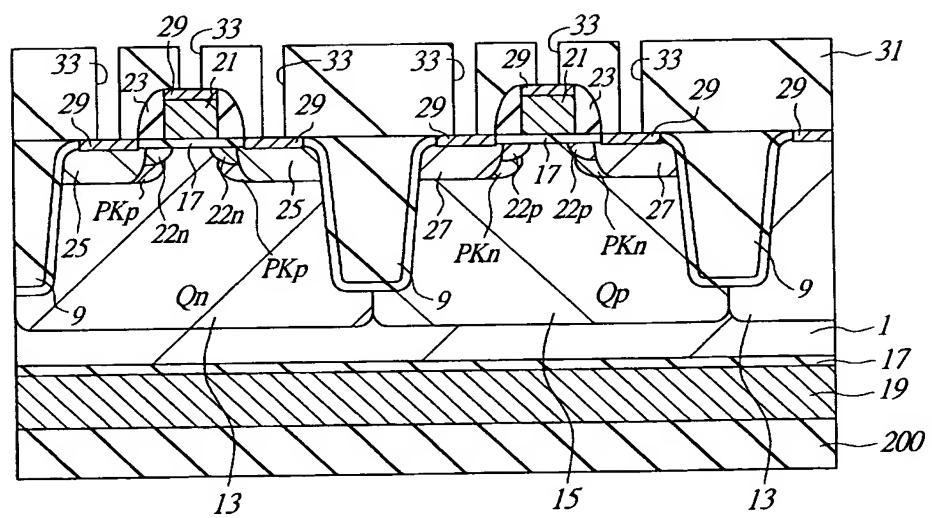
【図47】

図 47



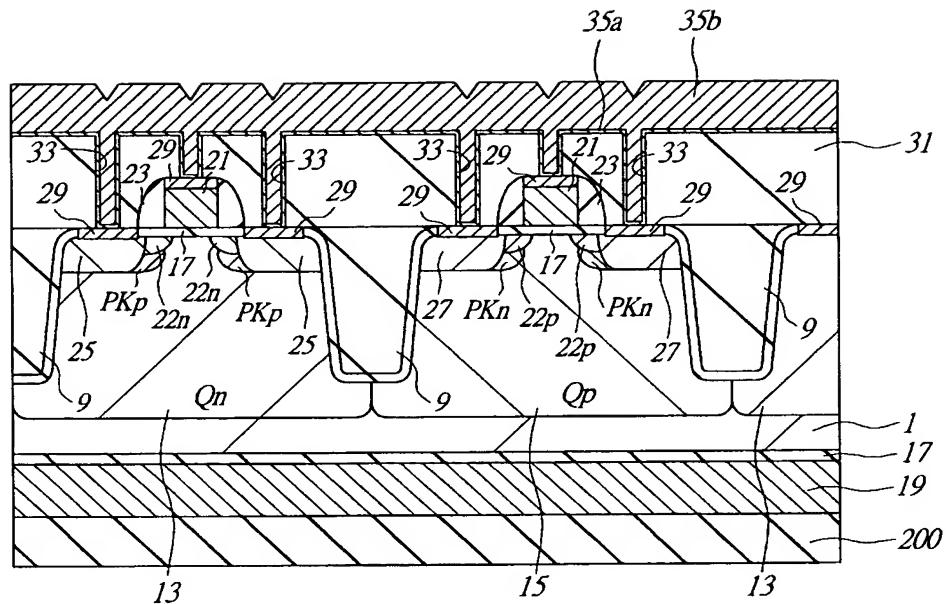
【図48】

図 48



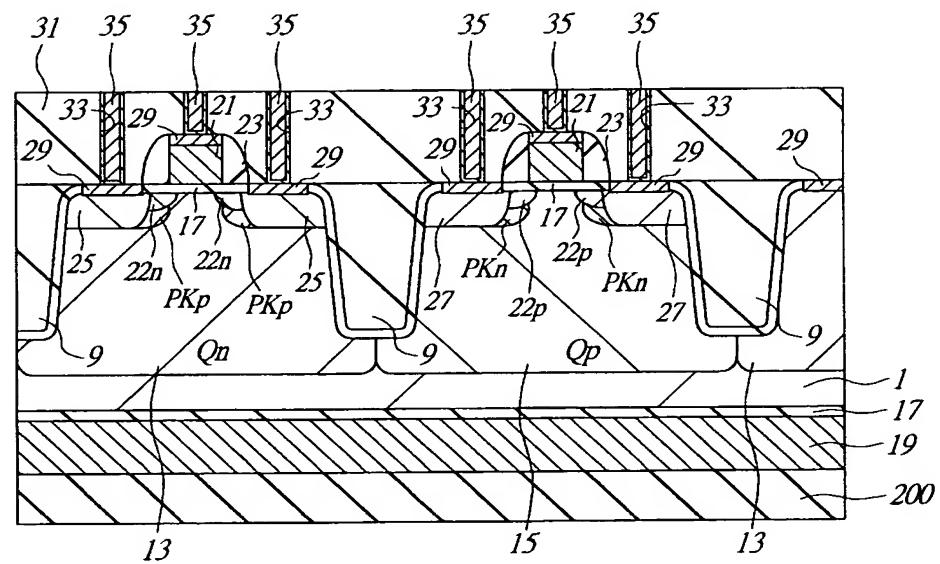
【図49】

図 49



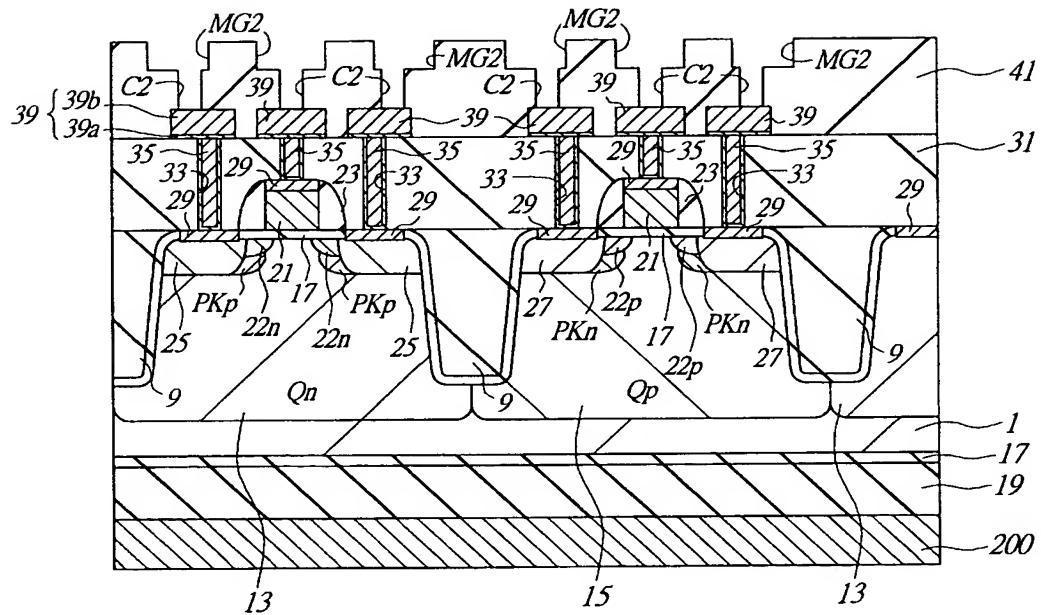
【図50】

図 50



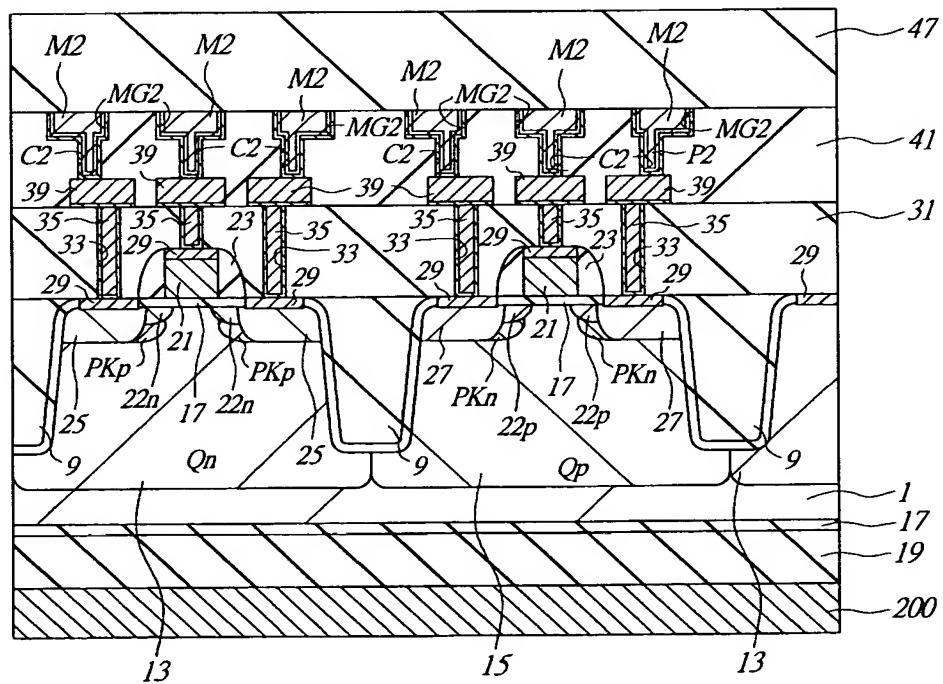
【図 5 1】

図 51



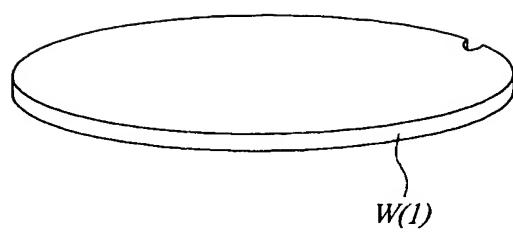
【図 5 2】

図 52



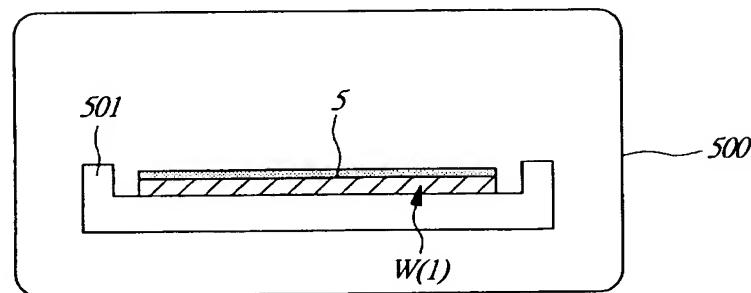
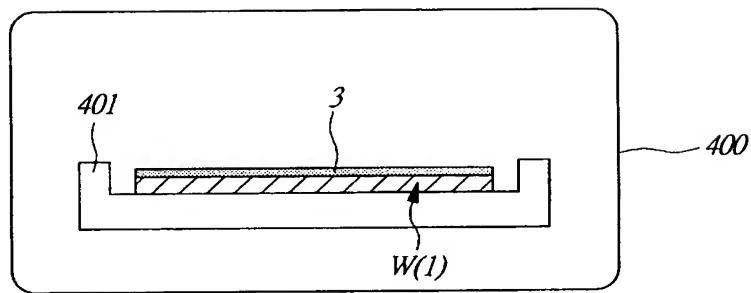
【図53】

図 53



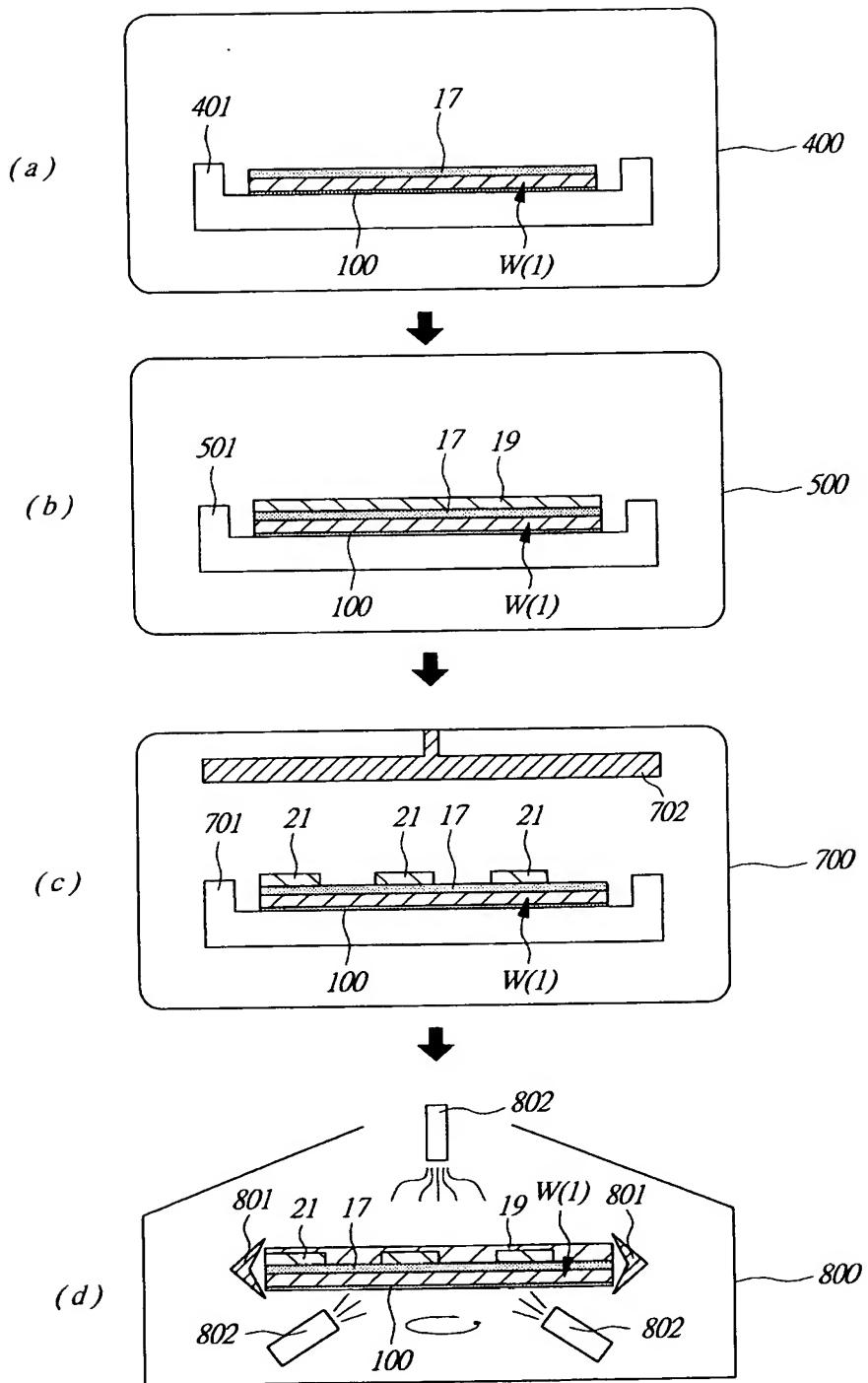
【図54】

図 54



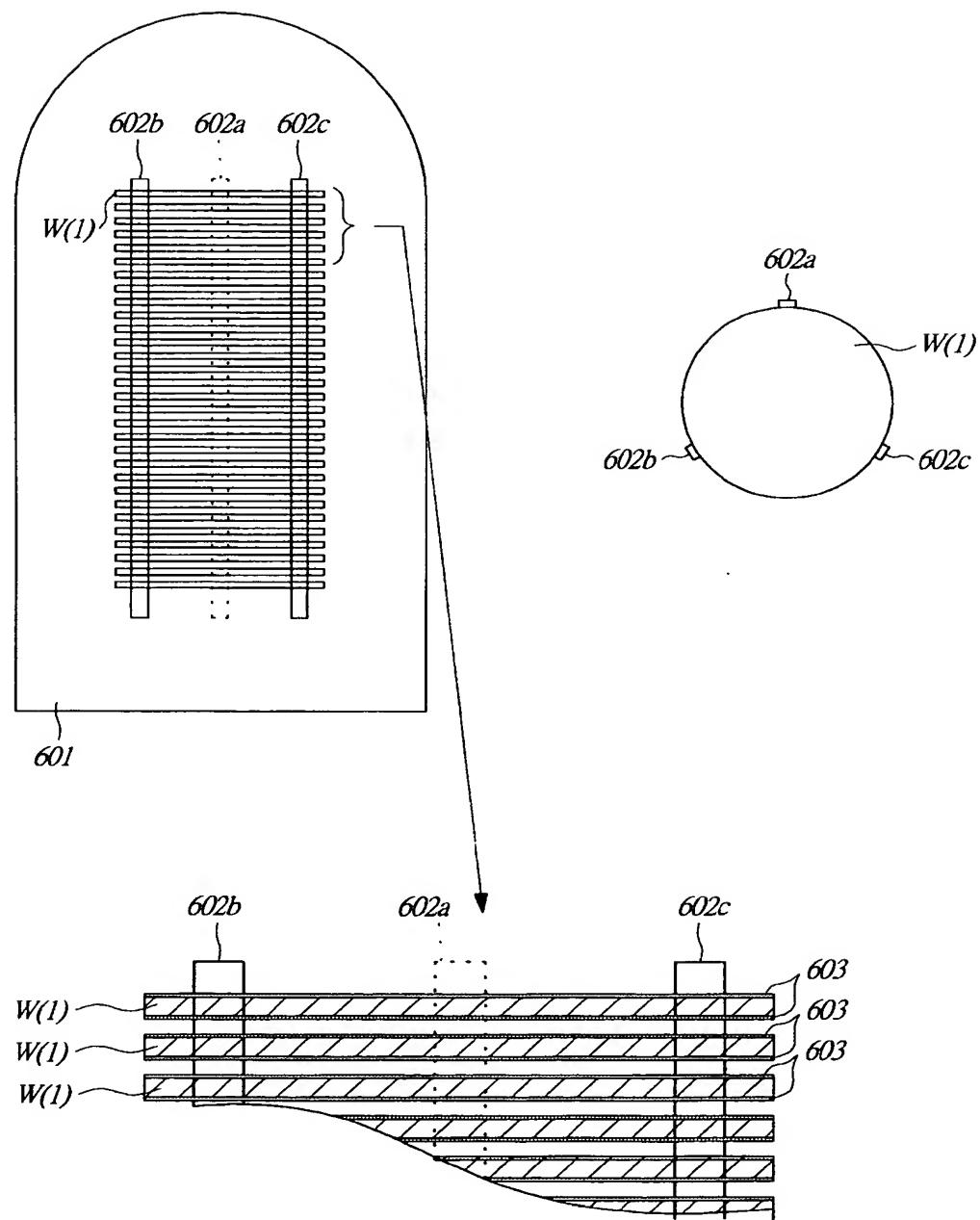
【図55】

図 55



【図56】

図 56



【書類名】 要約書

【要約】

【課題】 半導体装置の製造工程における汚染物質の低減を図り、また、MISFETのゲート絶縁膜の耐圧を向上させる。

【解決手段】 溝上部に酸化シリコン膜9が堆積された半導体基板1の酸化シリコン膜9側を下側とし、枚葉式のCVD装置を用いて半導体基板の裏面に酸化シリコン膜100を形成し、酸化シリコン膜9よりなる素子分離を形成した後、MISFETを形成する。その結果、枚葉処理を主とした製造工程であって、半導体基板の裏面に膜が形成されない、もしくは、形成され難い製造工程においても、ゲート電極形成やレジスト膜のアッシング時等のプラズマ処理時に生じる半導体基板1のチャージアップによるゲート絶縁膜17の劣化を防止し、また、半導体基板1の裏面の汚染を防止し、酸化シリコン膜100をわずかにエッチングするリフトオフ的な洗浄を行うことで洗浄効率を向上させることができる。

【選択図】 図13

特願 2002-286897

出願人履歴情報

識別番号 [500495256]

1. 変更年月日 2000年10月25日

[変更理由] 新規登録

住所 茨城県ひたちなか市堀口751番地
氏名 トレセンティテクノロジーズ株式会社